

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

Patent number: JP2003142579
Publication date: 2003-05-16
Inventor: NOGUCHI JUNJI; HAMADA NAOHIDE
Applicant: HITACHI LTD;; HITACHI TOKYO ELECTRONICS CO LTD
Classification:
- international: H01L21/768; H01L21/28; H01L21/312; H01L21/316; H01L21/318; H01L21/8238; H01L27/092
- european:
Application number: JP20010341339 20011107
Priority number(s):

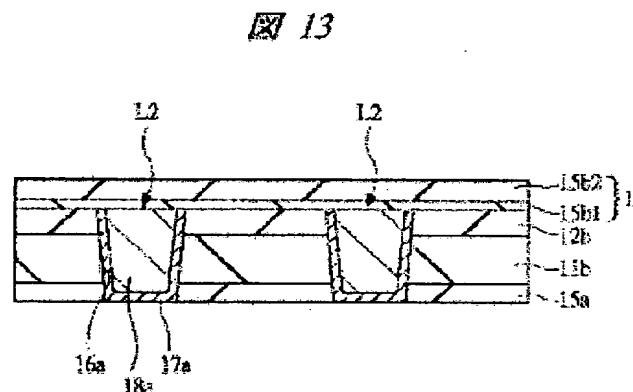
Also published as:

US2003087513 (A)

Abstract of JP2003142579

PROBLEM TO BE SOLVED: To improve dielectric breakdown resistance between wires using copper as a main conductive layer.

SOLUTION: In the case of forming an insulating film 15b for a wiring cap by an SiON film formed by a plasma CVD method using mixed gas of trimethoxysilane gas and nitrogen oxide gas in a semiconductor device having embedded wiring structure composed of copper, a conductive barrier film 17a of embedded 2nd film wiring L2 is prevented from being oxidized.



15b: 絶縁膜	17a: 導電性バリア膜
15h: 絶縁膜	18a: 主導体膜
19c: 絶縁膜	12: 第2層配線

Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2003-142579

(P2003-142579A)

(43) 公開日 平成15年5月16日 (2003.5.16)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/28	3 0 1 R 4 M 1 0 4
21/28	3 0 1	21/312	C 5 F 0 3 3
21/312			N 5 F 0 4 8
		21/316	M 5 F 0 5 8
21/316			X

審査請求 未請求 請求項の数45 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2001-341339(P2001-341339)

(22) 出願日 平成13年11月7日(2001.11.7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233505

日立東京エレクトロニクス株式会社

東京都青梅市藤橋3丁目3番地の2

(72) 発明者 野口 純司

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

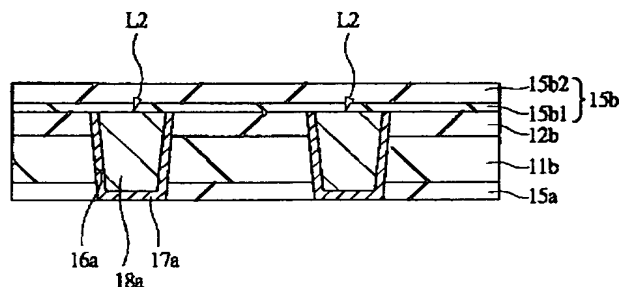
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 銅を主導体層とする配線間の絶縁破壊耐性を向上させる。

【解決手段】 銅からなる埋込配線構造を有する半導体装置において、配線キャップ用の絶縁膜15bを、例えばトリメトキシシランガスと酸化窒素ガスとの混合ガスを用いたプラズマCVD法により形成されたSiON膜によって形成する際に、埋込第2層配線L2の導電性バリア膜17aが酸化されないようにする。

図 13



15b: 絶縁膜
15b1: 絶縁膜
15b2: 絶縁膜

17a: 導電性バリア膜
18a: 主導体膜
L2: 埋込第2層配線

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) ウエハ上に堆積された第 1 絶縁膜に配線開口部を形成する工程、(b) 前記配線開口部内に、銅の拡散に対してバリア性を有する第 1 導体膜および銅を主成分とする第 2 導体膜を含む配線を形成する工程、(c) 前記第 1 絶縁膜および配線上に、前記第 1 導体膜を酸化から保護する第 2 絶縁膜を堆積した後、前記第 2 絶縁膜上に、酸素を含むガスを用いた化学気相成長法によって第 3 絶縁膜を堆積する工程。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記第 2 絶縁膜が窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記第 2 絶縁膜が炭化シリコン膜または炭窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、前記第 3 絶縁膜は、トリメトキシシランガスおよび酸化窒素ガスを含む混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 記載の半導体装置の製造方法において、前記第 2 絶縁膜の厚さは、前記第 3 絶縁膜よりも薄いことを特徴とする半導体装置の製造方法。

【請求項 6】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) ウエハ上に堆積された第 1 絶縁膜に配線開口部を形成する工程、(b) 前記配線開口部内に、銅の拡散に対してバリア性を有する第 1 導体膜および銅を主成分とする第 2 導体膜を含む配線を形成する工程、(c) 前記第 1 絶縁膜および配線上に、前記第 1 導体膜が酸化しない条件で第 2 絶縁膜を堆積した後、前記第 2 絶縁膜上に、酸素を含むガスを用いた化学気相成長法によって第 3 絶縁膜を堆積する工程。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、前記第 2 絶縁膜は、トリメトキシシランガスと窒素ガスまたはアンモニアガスとの混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 記載の半導体装置の製造方法において、前記第 3 絶縁膜は、トリメトキシシランガスおよび酸化窒素ガスを含む混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 6 記載の半導体装置の製造方法において、

前記第 2 絶縁膜は、トリメトキシシランガスと窒素ガスまたはアンモニアガスとの混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなり、前記第 3 絶縁膜は、トリメトキシシランガスおよび酸化窒素ガスを含む混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 6 記載の半導体装置の製造方法において、前記第 2 絶縁膜の厚さは、前記第 3 絶縁膜よりも薄いことを特徴とする半導体装置の製造方法。

【請求項 11】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) ウエハ上に堆積された第 1 絶縁膜に配線開口部を形成する工程、(b) 前記配線開口部内に、銅の拡散に対してバリア性を有する第 1 導体膜および銅を主成分とする第 2 導体膜を含む配線を形成する工程、(c) 前記第 1 絶縁膜および配線上に、酸素を含むガスおよび希釈ガスを含む混合ガスを用いた化学気相成長法によって第 2 絶縁膜を堆積した後、前記第 2 絶縁膜上に、酸素を含むガスを用いた化学気相成長法によって第 3 絶縁膜を堆積する工程。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、

前記第 2 絶縁膜は、トリメトキシシランと、酸素を含むガスと、希釈ガスとを含む混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 12 記載の半導体装置の製造方法において、前記希釈ガスは、窒素ガスまたはアンモニアガスであることを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 12 記載の半導体装置の製造方法において、前記第 2 絶縁膜の成膜時に用いる酸素を含むガスは、酸素または酸化窒素であることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 11 記載の半導体装置の製造方法において、前記第 3 絶縁膜は、トリメトキシシランガスおよび酸化窒素ガスを含む混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 11 記載の半導体装置の製造方法において、前記第 2 絶縁膜は、トリメトキシシランと、酸素を含むガスと、希釈ガスとを含む混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなり、前記第 3 絶縁膜は、トリメトキシシランガスおよび酸化窒素ガスを含む混合ガスを用いた化学気相成長法により形成された酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 11 記載の半導体装置の製造方

法において、前記第2絶縁膜の厚さは、前記第3絶縁膜よりも薄いことを特徴とする半導体装置の製造方法。

【請求項18】 (a) ウエハ上に堆積された第1絶縁膜に配線開口部を形成する工程、(b) 前記配線開口部に、銅の拡散に対してバリア性を有する第1導体膜および銅を主成分とする第2導体膜を含む配線を形成する工程、(c) 前記配線に対して還元性プラズマ処理する工程、(d) 前記第1絶縁膜および配線上に第4絶縁膜を堆積する工程を有し、前記還元性プラズマ処理において、前記ウエハを保持する第1電極に対して印加する第1電力は、前記ウエハに対向する第2電極に印加する第2電力よりも低いまたは零であることを特徴とする半導体装置の製造方法。

【請求項19】 請求項18記載の半導体装置の製造方法において、前記第4絶縁膜は、トリメトキシシランガスと酸化窒素ガスを含む混合ガスを用いたプラズマ化学気相成長法により形成された酸化シリコン膜の単体膜からなることを特徴とする半導体装置の製造方法。

【請求項20】 請求項18記載の半導体装置の製造方法において、前記第4絶縁膜は、前記配線および第1絶縁膜上に堆積された第5絶縁膜およびその上に堆積された第6絶縁膜とを有し、前記第5絶縁膜は、トリメトキシシランガスと窒素ガスまたはアンモニアガスとの混合ガスを用いたプラズマ化学気相成長法により形成された酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項21】 請求項20記載の半導体装置の製造方法において、前記第6絶縁膜は、トリメトキシシランガスおよび酸化窒素ガスを含む混合ガスを用いたプラズマ化学気相成長法により形成された酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項22】 請求項20記載の半導体装置の製造方法において、前記第5絶縁膜の厚さは、前記第6絶縁膜よりも薄いことを特徴とする半導体装置の製造方法。

【請求項23】 請求項18記載の半導体装置の製造方法において、前記第4絶縁膜は、前記配線および第1絶縁膜上に堆積された第5絶縁膜およびその上に堆積された第6絶縁膜とを有し、前記第5絶縁膜は、トリメトキシシランと、酸素を含むガスと、希釈ガスとを含む混合ガスを用いたプラズマ化学気相成長法により形成された酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項24】 請求項23記載の半導体装置の製造方法において、前記希釈ガスは、窒素ガスまたはアンモニアガスであることを特徴とする半導体装置の製造方法。

【請求項25】 請求項23記載の半導体装置の製造方法において、前記第5絶縁膜の形成時に用いる酸素を含むガスは、酸素または酸化窒素であることを特徴とする

半導体装置の製造方法。

【請求項26】 請求項23記載の半導体装置の製造方法において、前記第6絶縁膜は、トリメトキシシランガスおよび酸化窒素ガスを含む混合ガスを用いたプラズマ化学気相成長法により形成された酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項27】 請求項23記載の半導体装置の製造方法において、前記第5絶縁膜の厚さは、前記第6絶縁膜よりも薄いことを特徴とする半導体装置の製造方法。

【請求項28】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) ウエハ上に堆積された第1絶縁膜に配線開口部を形成する工程、(b) 前記配線開口部内に、前記第1絶縁膜の上面に対して段差を持つ上面高さを有し、かつ、銅の拡散に対してバリア性を有する第1導体膜および銅を主成分とする第2導体膜を含む配線を形成する工程、(c) 前記第1絶縁膜および配線上に、前記第1導体膜を酸化から保護する第2絶縁膜を堆積した後、前記第2絶縁膜上に、酸素を含むガスを用いた化学気相成長法によって第3絶縁膜を堆積する工程。

【請求項29】 請求項28記載の半導体装置の製造方法において、前記(b)工程は、前記配線開口部内を含む前記第1絶縁膜上に、前記第1導体膜および前記第2導体膜を順に堆積する工程、前記第1、第2導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、前記配線の上面が、前記第1絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項30】 請求項28記載の半導体装置の製造方法において、前記(b)工程は、前記配線開口部内を含む前記第1絶縁膜上に、前記第1導体膜および前記第2導体膜を順に堆積する工程、前記第1、第2導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、前記配線の上面が、前記第1絶縁膜の上面よりも高くなるように、前記第1絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項31】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) ウエハ上に堆積された第1絶縁膜に配線開口部を形成する工程、(b) 前記配線開口部内に、銅の拡散に対してバリア性を有する第1導体膜および銅を主成分とする第2導体膜を含む配線を形成する工程、(c) 前記配線に対して還元性プラズマ処理を施す工程、(d) 前

記(c)工程後、前記第1絶縁膜および配線上に、前記第1導体膜を酸化から保護する第2絶縁膜を堆積した後、前記第2絶縁膜上に、酸素を含むガスを用いた化学気相成長法によって第3絶縁膜を堆積する工程。

【請求項32】 請求項31記載の半導体装置の製造方法において、前記還元性プラズマ処理は、アンモニアガス雰囲気中におけるプラズマ処理であることを特徴とする半導体装置の製造方法。

【請求項33】 請求項31記載の半導体装置の製造方法において、前記還元性プラズマ処理は、水素ガス雰囲気中におけるプラズマ処理であることを特徴とする半導体装置の製造方法。

【請求項34】 請求項31記載の半導体装置の製造方法において、前記還元性プラズマ処理は、水素ガス雰囲気中においてプラズマ処理を施す工程と、アンモニアガス雰囲気中においてプラズマ処理を施す工程とを有することを特徴とする半導体装置の製造方法。

【請求項35】 請求項31記載の半導体装置の製造方法において、前記還元性プラズマ処理後、大気開放せずに連続して、前記第2絶縁膜および第3絶縁膜を前記第1絶縁膜および前記配線上に堆積することを特徴とする半導体装置の製造方法。

【請求項36】 (a)ウエハ上に堆積された第1絶縁膜に配線開口部を形成する工程、(b)前記配線開口部に、銅の拡散に対してバリア性を有する第1導体膜および銅を主成分とする第2導体膜を含む配線を形成する工程、(c)前記第1絶縁膜および配線上に、前記第1導体膜を酸化から保護する第2絶縁膜を堆積した後、前記第2絶縁膜上に、酸素を含むガスを用いた化学気相成長法によって第3絶縁膜を堆積する工程を有し、前記第1絶縁膜の形成工程は、第1誘電率を有する第7絶縁膜を堆積する工程、前記第7絶縁膜上に前記第1誘電率よりも高い第2誘電率を有する第8絶縁膜を堆積する工程を有し、前記第8絶縁膜上に前記第2絶縁膜を堆積することを特徴とする半導体装置の製造方法。

【請求項37】 請求項36記載の半導体装置の製造方法において、前記第7絶縁膜は、酸化シリコン膜よりも誘電率の低い有機系絶縁膜からなり、前記第8絶縁膜は、酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項38】 (a)ウエハ上に堆積された第1絶縁膜に配線開口部を形成する工程、(b)前記配線開口部に、銅の拡散に対してバリア性を有する第1導体膜および銅を主成分とする第2導体膜を含む配線を形成する工程、(c)前記第1絶縁膜および配線上に、前記第1導体膜を酸化から保護する第2絶縁膜を堆積した後、前記第2絶縁膜上に、酸素を含むガスを用いた化学気相成長法によって第3絶縁膜を堆積する工程を有し、前記第1絶縁膜の形成工程は、酸化シリコン膜よりも誘

電率の低い有機系絶縁膜を堆積する工程を有し、前記有機系絶縁膜上に前記第2絶縁膜を堆積することを特徴とする半導体装置の製造方法。

【請求項39】 以下の構成を有することを特徴とする半導体装置；(a)第1絶縁膜に形成された配線開口部、(b)前記配線開口部内に埋め込まれるように設けられ、銅の拡散に対してバリア性を有する第1導体膜および銅を主成分とする第2導体膜を含む配線、(c)前記第1絶縁膜および前記配線上に、前記第1導体膜を酸化から保護する第2絶縁膜、(d)前記第2絶縁膜上に積層された酸化シリコン膜からなる第3絶縁膜。

【請求項40】 請求項39記載の半導体装置において、前記第2絶縁膜が窒化シリコン膜からなることを特徴とする半導体装置。

【請求項41】 請求項39記載の半導体装置において、前記第2絶縁膜が炭化シリコン膜または炭窒化シリコン膜からなることを特徴とする半導体装置。

【請求項42】 請求項39記載の半導体装置において、前記第2絶縁膜の厚さは、前記第3絶縁膜よりも薄いことを特徴とする半導体装置。

【請求項43】 請求項39記載の半導体装置において、前記配線の上面高さと前記第1絶縁膜の上面高さとの間に段差が設けられていることを特徴とする半導体装置。

【請求項44】 請求項39記載の半導体装置において、前記配線の上面高さが前記第1絶縁膜の上面高さよりも高いことを特徴とする半導体装置。

【請求項45】 請求項39記載の半導体装置において、前記配線の上面高さが前記第1絶縁膜の上面高さよりも低いことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、銅を主導体層とする埋込配線を有する半導体装置の製造方法および半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】埋込配線構造は、絶縁膜に形成された配線溝や孔等のような配線開口部内に、ダマシン(Damascene)技術(シングルダマシン(Single-Damascene)技術およびデュアルダマシン(Dual-Damascene)技術)と称する配線形成技術によって、配線材料を埋め込むことで形成される。

【0003】しかし、主配線材料が銅の場合、銅がアルミニウム等のような金属と比較して絶縁膜中に拡散され易いことから、その銅からなる埋込配線が絶縁膜と直接接しないように、その埋込配線の表面(底面および側面)を薄いバリア金属膜で覆うことにより、その埋込配線中の銅が絶縁膜中に拡散するのを抑制または防止するようにしている。また、配線開口部が形成された絶縁膜

の表面上に、例えば窒化シリコン膜等からなる配線キャップ用絶縁膜して上記埋込配線の上面を覆うことにより、その埋込配線中の銅が埋込配線の上面から絶縁膜中に拡散するのを抑制または防止するようにしている。

【0004】なお、ダマシン配線技術としては、例えば特開平11-145084号公報に記載があり、配線キャップ用絶縁膜としてSiON膜を用いる技術が開示されている。また、例えば特開2000-133710号公報には、配線キャップ用絶縁膜としてSi含有量の多い窒化シリコン膜を用いる技術が開示されている。また、例えば特開2000-252286号公報には、配線キャップ用絶縁膜として水素原子含有シリコン（誘電率 $\epsilon=4$ ）を用いる技術が開示されている。また、例えば特開2000-332102号公報には、配線キャップ用絶縁膜としてBCB膜（ $\epsilon=2.7$ ）を用いる技術が開示されている。また、例えば特開平10-150105号公報には、配線キャップ用絶縁膜として有機低誘電体膜（ $\epsilon=2.3\sim2.6$ ）を用いる技術が開示されている。さらに、例えば特開平11-243147号公報には、ダマシン配線構造の層間絶縁膜として、SiON膜を用いる技術が開示されている。

【0005】

【発明が解決しようとする課題】ところで、近年は、高速動作が可能で高性能な半導体装置を実現するために、上記のように銅を主配線材料とする上、上記配線開口部が形成される絶縁膜の材料として誘電率の低い絶縁膜を使用する構造が採用されつつあるが、本発明者らの検討によれば、さらに高速動作を図るためには、上記配線キャップ用絶縁膜の材料としても誘電率の低い絶縁膜を使用することが必須となる。

【0006】そこで、本発明者らは、上記配線キャップ用絶縁膜の材料として誘電率が窒化シリコン膜よりも低い酸窒化シリコン膜（SiON）の導入を検討している。ところが、上記配線キャップ用絶縁膜としてSiON膜を使用する技術においては、以下の課題があることを本発明者らが初めて見出した。

【0007】すなわち、SiON膜の成膜には N_2O 等のような酸素を含むガスを用いるため、成膜初期に活性化した酸素が、成膜面に露出しているバリア金属膜に直撃し、バリア金属膜の露出部を酸化させる結果、配線キャップ用絶縁膜と埋込配線との界面付近でのバリア性が劣化し、TDDB寿命が短くなる、という問題である。

【0008】本発明の目的は、銅を主導体層とする配線間の絶縁破壊耐性を向上させることのできる技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】すなわち、本発明は、銅を主配線材料とする配線の導電性バリア膜が酸化されないように配線キャップ用絶縁膜を形成するものである。

【0012】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0013】1. TDDB（Time Dependence on Dielectric Breakdown）寿命とは、絶縁破壊の時間的依存性を客観的に計る尺度であって、所定の温度（例えば140℃）の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電界に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度（例えば0.2MV/cm）に外挿して求めた時間（寿命）をいう。

【0014】図1～図3は、本願のTDDB寿命測定に使用した試料の一例を示し、図1は平面図、図2および図3は図1におけるB-B'線断面およびC-C'線の断面を各々示している。この試料は実際にはウエハのTEG（Test Equipment Group）領域に形成できる。図示するように一対の櫛形配線Lを第2配線層M2に形成し、最上層のパッドP1、P2に各々接続する。この櫛形配線L間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。櫛形配線Lの配線幅、配線間隔、配線厚さは何れも0.5 μm である。また、配線対向長は1.58 $\times 10^5 \mu m$ とした。

【0015】図4は、測定の概要を示した説明図である。試料は測定ステージSに保持され、パッドP1、P2間に電流電圧測定器（I/V測定器）を接続する。測定ステージSはヒータHで加熱され試料温度が140℃に調整される。TDDB寿命測定には定電圧ストレス法と低電流ストレス法とがあるが、本願では絶縁膜に印加される平均電界が一定となる定電圧ストレス法を用いている。電圧印加の後、時間の経過とともに電流密度は減少し、その後、急激な電流増加（絶縁破壊）が観測される。ここでは、リーク電流密度が1 $\mu A/cm^2$ に達した時間をTDDB寿命（5MV/cmにおけるTDDB寿命）とした。なお、本願において、TDDB寿命とは、特に言及しない限り0.2MV/cmにおける破壊時間（寿命）をいうが、広義には所定の電界強度に言及した上で破壊までの時間としてTDDB寿命の語を用いる場合もある。また、特に言及しない限り、TDDB寿命は、試料温度140℃の場合をいう。また、TDDB寿命は前記の櫛形配線Lで測定した場合をいうが、実際の配線間の破壊寿命を反映することは言うまでもない。

【0016】2. プラズマ処理とは、プラズマ状態にある環境に、基板表面、あるいは、基板上に絶縁膜、金属膜等のような部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的（ボンバードメン

ト) 作用を表面に与えて処理することをいう。一般にプラズマは特定のガス(処理ガス)に置換した反応室内に必要に応じて処理ガスを補充しつつ、高周波電界等の作用によりガスを電離させて生成するが、現実には完全に処理ガスで置換することはできない。よって、本実施の形態では、例えばアンモニアプラズマと称しても、完全なアンモニアプラズマを意図するものではなく、そのプラズマ内に含まれる不純物ガス(窒素、酸素、二酸化炭素、水蒸気等)の存在を排除するものではない。同様に、言うまでもないことであるが、プラズマ中に他の希釈ガスや添加ガスを含むことを排除するものではない。

【0017】3. 還元性雰囲気中のプラズマとは、還元作用、すなわち、酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するプラズマ環境をいい、ラジカル、イオンには、原子あるいは分子状のラジカルあるいはイオンが含まれる。また、環境内には単一の反応種のみならず、複数種の反応種が含まれていても良い。例えば水素ラジカルと NH_3 ラジカルとが同時に存在する環境でも良い。

【0018】4. 本実施の形態において、例えば銅からなると表現した場合、主成分として銅が用いられていることを意図する。すなわち、一般に高純度な銅であっても、不純物が含まれることは当然であり、添加物や不純物も銅からなる部材に含まれることを排除するものではない。これは銅に限らず、その他の金属(窒化チタン等)でも同様である。

【0019】5. 化学機械研磨(CMP: Chemical Mechanical Polishing)とは、一般に被研磨面を相対的に軟らかい布様のシート材料等からなる研磨パッドに接触させた状態で、スラリを供給しながら面方向に相対移動させて研磨を行うことをいい、本実施の形態においては、その他、被研磨面を硬質の砥石面に対して相対移動させることによって研磨を行うCML(Chemical Mechanical Lapping)、その他の固定砥粒を使用するもの、及び砥粒を使用しない砥粒フリーCMP等も含むものとする。

【0020】6. 砥粒フリー化学機械研磨は、一般に砥粒の重量濃度が0.5%重量未満のスラリを用いた化学機械研磨をいい、有砥粒化学機械研磨とは、砥粒の重量濃度が0.5%重量よりも高濃度のスラリを用いた化学機械研磨をいう。しかし、これらは相対的なものであり、第1ステップの研磨が砥粒フリー化学機械研磨で、それに続く第2ステップの研磨が有砥粒化学機械研磨である場合、第1ステップの研磨濃度が第2ステップの研磨濃度よりも1桁以上、望ましくは2桁以上小さい場合などには、この第1ステップの研磨を砥粒フリー化学機械研磨という場合もある。本明細書中において、砥粒フリー化学機械研磨と言うときは、対象とする金属膜の単位平坦化プロセス全体を砥粒フリー化学機械研磨で行う場合の他、主要プロセスを砥粒フリー化学機械研磨で行

い、副次的なプロセスを有砥粒化学機械研磨で行う場合も含むものとする。

【0021】7. 研磨液(スラリ)とは、一般に化学エッチング薬剤に研磨砥粒を混合した懸濁液をいい、本願においては発明の性質上、研磨砥粒が混合されていないものを含むものとする。

【0022】8. 砥粒(スラリ粒子)とは、一般にスラリに含まれるアルミナ、シリカ等のような粉末をいう。

【0023】9. 防食剤とは、金属の表面に耐食性、疎水性あるいはその両方の性質を有する保護膜を形成することによって、上記CMPによる研磨の進行を阻止または抑制する薬剤をいい、一般にベンゾトリアゾール(BTA)などが使用される(詳しくは特開平8-64594号公報参照)。

【0024】10. スクラッチフリーとは、上記CMP法によって研磨されたウエハの研磨面の全面内または所定の単位面積内に、所定寸法以上の欠陥が検出されない状態を言う。この所定寸法は、半導体装置の世代や種類等によって変わるので一概には言えないが、本実施の形態では、インラインの比較欠陥検査において、例えば直径200mmのウエハの研磨面内に、例えば0.3 μm 以上の欠陥が検出されない状態されている。

【0025】11. 導電性バリア膜とは、一般に銅が層間絶縁膜内や下層へ拡散するのを防止するために、埋込み配線の側面または底面に比較的薄く形成される拡散バリア性を有する導電膜であり、一般に、窒化チタン(TiN)、タンタル(Ta)、窒化タンタル(TaN)等のような高融点金属またはその窒化物等が使用される。

【0026】12. 埋込み配線または埋込みメタル配線とは、一般にシングルダマシン(single damascene)やデュアルダマシン(dual damascene)等のように、絶縁膜に形成された溝や孔などのような配線開口部の内部に導電膜を埋め込んだ後、絶縁膜上の不要な導電膜を除去する配線形成技術によってパターンニングされた配線をいう。また、一般に、シングルダマシンとは、プラグメタルと、配線用メタルとの2段階に分けて埋め込む、埋込み配線プロセスを言う。同様にデュアルダマシンとは、一般にプラグメタルと、配線用メタルとを一度に埋め込む、埋込み配線プロセスを言う。一般に、銅埋込み配線を多層構成で使用されることが多い。

【0027】13. 本願において半導体装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、SOI(Silicon On Insulator)基板やTFT(Thin Film Transistor)液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0028】14. ウエハとは、半導体集積回路の製造に用いるシリコンその他の半導体単結晶基板(一般にほぼ円板形、半導体ウエハ)、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそ

これらの複合的基板を言う。

【0029】15. 半導体集積回路チップまたは半導体チップ（以下、単にチップという）とは、ウエハ工程（ウエハプロセスまたは前工程）が完了したウエハを単位回路群に分割したものを言う。

【0030】16. シリコンナイトライド、窒化ケイ素または窒化シリコン膜というときは、 Si_3N_4 のみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0031】17. 低誘電率な絶縁膜（Low-K絶縁膜）とは、パッシベーション膜に含まれる酸化シリコン膜（たとえばTEOS（Tetraethoxysilane）酸化膜）の誘電率よりも低い誘電率を有する絶縁膜を例示できる。一般的には、TEOS酸化膜の比誘電率 $\epsilon = 4.1 \sim 4.2$ 程度以下を低誘電率な絶縁膜と言う。

【0032】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0033】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0034】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0035】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0036】また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0037】また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0038】また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET（Metal Insulator Semiconductor Field Effect Transistor）をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

【0039】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0040】（実施の形態1）まず、本実施の形態1について説明する前に、本発明者らの実験によって初めて見出された銅配線を用いた埋込配線構造の問題について図28～図30により説明する。

【0041】図28は、本発明者らが検討した埋込配線構造の一例の要部断面図を示している。符号50～55は絶縁膜を示し、符号57は埋込配線を示している。特に限定されないが、本発明者らが検討した構造における材料は、次の通りである。絶縁膜51、54は、酸化シリコン膜よりも誘電率の低い有機材料からなる。その絶縁膜51、52の各々の上層の絶縁膜52、55は、絶縁キャップ用の絶縁膜で、例えば酸化シリコン膜からなる。埋込配線57は、主導体膜57aと、その外周の導電性バリア膜57bとを有している。主導体膜57aは銅（Cu）からなり、導電性バリア膜57bは、例えば窒化チタン等からなる。

【0042】次に、図29は、図28の絶縁膜55および埋込配線57の上面上に配線キャップ用の絶縁膜を形成する工程中の要部断面図を模式的に示している。ここで、本発明者らは、半導体装置の動作速度の向上要求に伴い、配線キャップ用の絶縁膜についても低誘電率材料で形成することが必須となりつつあることを考慮した結果、配線キャップ用の絶縁膜として、例えばトリメトキシシラン（TMS）ガスと酸化窒素（ N_2O ）を用いたプラズマCVD法によって成膜される SiON 膜（ $\epsilon = 3.9$ 程度）を用いることを検討した。しかし、この絶縁材料の成膜時には、 N_2O 等のような酸素を含むガスを用いるため、成膜初期に活性化した酸素が、導電性バリア膜57bの露出部58に直撃する結果、その導電性バリア膜57bの露出部58が酸化してしまうことが本発明者らによって初めて見出した。この結果、図30に示すように、配線キャップ用の絶縁膜59と絶縁キャップ用の絶縁膜55との接触界面部分での銅の拡散バリア性が劣化し、矢印に示すように埋込配線57中の銅が外部に拡散し易くなり、TDD寿命が劣化する。したがって、配線キャップ用の絶縁膜として低誘電率の絶縁材料を採用することが困難となる。そこで、本発明者らは、埋込配線の導電性バリア膜の露出部が酸化されないように低誘電率な絶縁材料からなる配線キャップ用の絶縁膜を成膜するようにした。以下、その具体的な方法を説明する。

【0043】本実施の形態においては、例えばCMIS（Complementary MIS）—LSI（Large Scale Integrated circuit）の製造方法に本発明の技術思想を適用した場合について図5～図14により説明する。

【0044】まず、図5はCMIS—LSIの製造工程中における要部平面図、図6は図5のX1—X1線の断面図を示している。ウエハ1Wを構成する半導体基板（以下、単に基板という）1Sは、例えば $1 \sim 10 \Omega \text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなる。

基板1Sの主面（デバイス形成面）には、溝形の分離部（SGI（Shallow Groove Isolation）またはSTI（Shallow Trench Isolation））2が形成されている。この溝形の分離部2は、基板1Sの主面に形成された溝内に、例えば酸化シリコン膜が埋め込まれることで形成されている。また、基板1Sの主面側には、p型ウエルPWLおよびn型ウエルNWLが形成されている。p型ウエルPWLには、例えばホウ素が導入され、n型ウエルNWLには、例えばリンが導入されている。このような分離部2に囲まれたp型ウエルPWLおよびn型ウエルNWLの活性領域には、nMISQnおよびpMISQpが形成されている。

【0045】nMISQnおよびpMISQpのゲート絶縁膜3は、例えば厚さ6nm程度の酸化シリコン膜からなる。ここでいうゲート絶縁膜3の膜厚とは、二酸化シリコン換算膜厚（以下、単に換算膜厚という）であり、実際の膜厚と一致しない場合もある。ゲート絶縁膜3は、酸化シリコン膜に代えて酸窒化シリコン膜で構成しても良い。すなわち、ゲート絶縁膜3と基板1Sとの界面に窒素を偏析させる構造としても良い。酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜3のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、酸窒化シリコン膜を用いることにより、ゲート電極材料中の不純物が基板1S側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸窒化シリコン膜を形成するには、例えば基板1SをNO、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウエルPWLおよびn型ウエルNWLのそれぞれの表面に酸化シリコンからなるゲート絶縁膜3を形成した後、基板1Sを上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜3と基板1Sとの界面に窒素を偏析させることによっても、上記と同様の効果を得ることができる。

【0046】また、ゲート絶縁膜3を、例えば窒化シリコン膜、あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコン膜からなるゲート絶縁膜3を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁破壊耐圧の低下が顕在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができる。従って、ゲート絶縁膜3を単一の窒化シリコン膜あるいはそれと酸化シリコン膜との複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成され

たゲート絶縁膜よりも厚くすることができるので、トンネル漏れ電流の発生やホットキャリアによる絶縁破壊耐圧の低下を改善することができる。

【0047】nMISQnおよびpMISQpのゲート電極4は、例えば低抵抗多結晶シリコン膜上に、例えばチタンシリサイド（TiSi_x）層またはコバルトシリサイド（CoSi_x）層を積層することで形成されている。ただし、ゲート電極構造は、これに限定されるものではなく、例えば低抵抗多結晶シリコン膜、WN（窒化タングステン）膜およびW（タングステン）膜の積層膜で構成される、いわゆるポリメタルゲート構造としても良い。ゲート電極4の側面には、例えば酸化シリコンからなるサイドウォール5が形成されている。

【0048】nMISQnのソースおよびドレイン用の半導体領域6は、チャネルに隣接するn⁺型半導体領域と、n⁺型半導体領域に接続され、かつ、n⁺型半導体領域分だけチャネルから離間する位置に設けられたn⁺型半導体領域とを有している。n⁺型半導体領域およびn⁺型半導体領域には、例えばリンまたはヒ素が導入されている。一方、pMISQpのソースおよびドレイン用の半導体領域7は、チャネルに隣接するp⁺型半導体領域と、p⁺型半導体領域に接続され、かつ、p⁺型半導体領域分だけチャネルから離間する位置に設けられたp⁺型半導体領域とを有している。p⁺型半導体領域およびp⁺型半導体領域には、例えばホウ素が導入されている。この半導体領域6、7の上面一部には、例えばチタンシリサイド層またはコバルトシリサイド層等のようなシリサイド層が形成されている。

【0049】このような基板1S上には絶縁膜8が堆積されている。この絶縁膜8は、ゲート電極4、4の狭いスペースを埋め込むことのできるリフロー性の高い膜、例えばBPSG（Boron-doped Phospho Silicate Glass）膜からなる。また、スピンドラ法によって形成されるSOG（Spin On Glass）膜で構成しても良い。絶縁膜8には、コンタクトホール9が形成されている。コンタクトホール9の底部からは半導体領域6、7の上面一部が露出されている。このコンタクトホール9内には、プラグ10が形成されている。プラグ10は、例えばコンタクトホール9の内部を含む絶縁膜8上にCVD法等で窒化チタン（TiN）膜およびタングステン（W）膜を堆積した後、絶縁膜8上の不要な窒化チタン膜およびタングステン膜をCMP法またはエッチバック法によって除去し、コンタクトホール9内のみにこれらの膜を残すことで形成されている。

【0050】絶縁膜8上には、例えばタングステンからなる第1層配線L1が形成されている。第1層配線L1は、プラグ10を通じてnMISQnおよびpMISQpのソース・ドレイン用の半導体領域6、7やゲート電極4と電気的に接続されている。第1層配線L1の材料は、タングステンに限定されるものではなく種々変更可

能である。例えばアルミニウム (Al) またはアルミニウム合金等のような単体金属膜あるいはこれらの単体金属膜の上下層の少なくとも一方にチタン (Ti) や窒化チタン (TiN) 等のような金属膜を形成した積層金属膜としても良い。

【0051】また、絶縁膜 8 上には、第 1 層配線 L1 を覆うように、絶縁膜 11a が堆積されている。絶縁膜 11a は、例えば有機ポリマーまたは有機シリカガラス等のような低誘電率材料 (いわゆる Low-K 材料) からなる。この有機ポリマーとしては、例えば SiLK (米 The Dow Chemical Co 製、比誘電率 = 2.7、耐熱温度 = 490℃以上、絶縁破壊耐圧 = 4.0~5.0 MV/Vm) またはポリアリルエーテル (PAE) 系材料の FLARE (米 Honeywell Electronic Materials 製、比誘電率 = 2.8、耐熱温度 = 400℃以上) 等がある。この PAE 系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記有機シリカガラス (SiOC 系材料) としては、例えば HSG-R7 (日立化成工業製、比誘電率 = 2.8、耐熱温度 = 650℃)、Black Diamond (米 Applied Materials, Inc 製、比誘電率 = 3.0~2.4、耐熱温度 = 450℃) または p-MTES (日立開発製、比誘電率 = 3.2) 等がある。その他の SiOC 系材料としては、例えば CORAL (米 Novellus Systems, Inc 製、比誘電率 = 2.7~2.4、耐熱温度 = 500℃)、Aurora 2.7 (日本エー・エス・エム社製、比誘電率 = 2.7、耐熱温度 = 450℃) 等がある。

【0052】また、絶縁膜 11a の低誘電率材料としては、例えば FSG (SiOF 系材料)、HSQ (hydrogen silsesquioxane) 系材料、MSQ (methyl silsesquioxane) 系材料、ポーラス HSQ 系材料、ポーラス MSQ 材料またはポーラス有機系材料を用いることもできる。

【0053】上記 HSQ 系材料としては、例えば OCD T-12 (東京応化工業製、比誘電率 = 3.4~2.9、耐熱温度 = 450℃)、FOX (米 Dow Corning Corp. 製、比誘電率 = 2.9) または OCL T-32 (東京応化工業製、比誘電率 = 2.5、耐熱温度 = 450℃) 等がある。

【0054】上記 MSQ 系材料としては、例えば OCD T-9 (東京応化工業製、比誘電率 = 2.7、耐熱温度 = 600℃)、LKD-T200 (JSR 製、比誘電率 = 2.7~2.5、耐熱温度 = 450℃)、HOSP (米 Honeywell Electronic Materials 製、比誘電率 = 2.5、耐熱温度 = 550℃)、HSG-RZ25 (日立化成工業製、比誘電率 = 2.5、耐熱温度 = 650℃)、OCL T-31 (東京応化工業製、比誘電率 = 2.3、耐熱温度 = 500℃) または LKD-T400 (JSR 製、比誘電率 = 2.2~2.0、耐熱温度 = 450

℃) 等がある。

【0055】上記ポーラス HSQ 系材料としては、例えば XLK (米 Dow Corning Corp. 製、比誘電率 = 2.5~2.0)、OCL T-72 (東京応化工業製、比誘電率 = 2.2~1.9、耐熱温度 = 450℃)、Nanoglass (米 Honeywell Electronic Materials 製、比誘電率 = 2.2~1.8、耐熱温度 = 500℃以上) または MesoeLK (米 Air Products and Chemicals, Inc.、比誘電率 = 2 以下) 等がある。

【0056】上記ポーラス MSQ 系材料としては、例えば HSG-6211X (日立化成工業製、比誘電率 = 2.4、耐熱温度 = 650℃)、ALCAP-S (旭化成工業製、比誘電率 = 2.3~1.8、耐熱温度 = 450℃)、OCL T-77 (東京応化工業製、比誘電率 = 2.2~1.9、耐熱温度 = 600℃)、HSG-6210X (日立化成工業製、比誘電率 = 2.1、耐熱温度 = 650℃) または silica aerogel (神戸製鋼所製、比誘電率 1.4~1.1) 等がある。

【0057】上記ポーラス有機系材料としては、例えば PolyELK (米 Air Products and Chemicals, Inc.、比誘電率 = 2 以下、耐熱温度 = 490℃) 等がある。

【0058】上記 SiOC 系材料、SiOF 系材料は、例えば CVD 法 (Chemical Vapor Deposition) によって形成されている。例えば上記 Black Diamond は、トリメチルシランと酸素との混合ガスを用いた CVD 法等によって形成される。また、上記 p-MTES は、例えばメチルトリエトキシシランと N₂O との混合ガスを用いた CVD 法等によって形成される。それ以外の上記低誘電率の絶縁材料は、例えば塗布法で形成されている。

【0059】このような Low-K 材料からなる絶縁膜 11a 上には、Low-K キャップ用の絶縁膜 12a が堆積されている。この絶縁膜 12a は、例えば二酸化シリコン (SiO₂) に代表される酸化シリコン (SiO_x) 膜からなり、例えば化学機械研磨処理 (CMP; Chemical Mechanical Polishing) 時における絶縁膜 11a の機械的強度の確保、表面保護および耐湿性の確保等のような機能を有している。絶縁膜 12a の厚さは、絶縁膜 11a よりも相対的に薄く、例えば 25 nm~100 nm 程度、好ましくは、例えば 50 nm 程度である。ただし、絶縁膜 12a は、酸化シリコン膜に限定されるものではなく種々変更可能であり、例えば窒化シリコン (Si₃N₄) 膜、炭化シリコン (SiC) 膜または炭窒化シリコン (SiCN) 膜を用いても良い。これら窒化シリコン膜、炭化シリコン膜または炭窒化シリコン膜は、例えばプラズマ CVD 法によって形成することができる。プラズマ CVD 法で形成された炭化シリコン膜としては、例えば BLOK (AMAT 社製、比誘電率 = 4.3) がある。その形成に際しては、例えばトリメチルシランとヘリウム (または N₂、NH₃) との混合ガス

を用いる。

【0060】このような絶縁膜 11a, 12a には、第 1 層配線 L1 の一部が露出するスルーホール 13 が穿孔されている。このスルーホール 13 内には、例えばタングステン等からなるプラグ 14 が埋め込まれている。

【0061】まず、本実施の形態においては、上記の絶縁膜 12a およびプラグ 14 上に絶縁膜（第 1 絶縁膜）15a をプラズマ CVD 法等によって堆積する。絶縁膜 15a は、例えば PE-TMS（Canon 製、誘電率 = 3.9）等のような酸窒化シリコン（SiON）膜の単体膜からなり、その厚さは、例えば 25nm ~ 50nm 程度、好ましくは、例えば 50nm 程度である。絶縁膜 15a の形成に際しては、例えばトリメトキシシラン（TMS）ガスと酸化窒素（N₂O）ガスとの混合ガスを用いた。一般的に絶縁膜 15a は、窒化シリコン膜等で形成されているが、本実施の形態 1 では、酸窒化シリコン膜を用いることにより、誘電率を大幅に下げることができるので、配線容量を下げることができ、半導体集積回路装置の動作速度を向上させることができる。

【0062】続いて、絶縁膜 15a 上に、絶縁膜 11b, 12b を下層から順に堆積する。絶縁膜（第 7 絶縁膜）11b は、上記絶縁膜 11a と同じ低誘電率な絶縁膜からなる。また、その上層の絶縁膜（第 8 絶縁膜）12b は、上記絶縁膜 12a と同じ絶縁膜からなり、同じ Low-K キャップ用の絶縁膜として機能する。その後、フォトレジスト膜をマスクにしたドライエッチング法により、絶縁膜 11b, 12b を選択的に除去し、配線溝（配線開口部）16a を形成する。配線溝 16a を形成するには、フォトレジスト膜から露出する絶縁膜 11b, 12b を除去する際に、絶縁膜 11b, 12b と、絶縁膜 15a とのエッチング選択比を大きくとることで、絶縁膜 15a をエッチングストップとして機能させる。すなわち、この絶縁膜 15a の表面でエッチングを一旦停止させた後、絶縁膜 15a を選択的にエッチング除去する。これにより、配線溝 16a の形成深さ精度を向上させることができ、配線溝 16a の掘り過ぎを防止できる。このような配線溝 16a は、その平面形状が、図 5 に示すように、例えば帯状に形成されている。配線溝 16a の底面からは上記プラグ 14 の上面が露出されている。

【0063】次に、図 7 は、図 6 に続く半導体装置の製造工程における図 5 の X1-X1 線に相当する部分の断面図を示している。また、図 8 は、図 7 に続く半導体装置の製造工程における図 5 の X1-X1 線に相当する部分の断面図を示している。

【0064】まず、図 7 に示すように、基板 1S の主面上の全面に、例えば窒化チタン（TiN）等からなる厚さ 50nm 程度の薄い導電性バリア膜（第 1 導体膜）17a をスパッタリング法等で堆積する。この導電性バリア膜 17a は、例えば後述の主導体膜形成用の銅の拡散

を防止する機能、その主導体膜と絶縁膜 11b, 12a, 12b, 15a との密着性を向上させる機能および主導体膜のリフロー時に銅の濡れ性を向上させる機能等を有している。このような導電性バリア膜 17a としては、上記窒化チタンに代えて、銅と殆ど反応しない窒化タングステン（WN）または窒化タンタル（Ta₂N）等のような高融点金属窒化物を用いることが好ましい。また、その窒化チタンに代えて、高融点金属窒化物にシリコン（Si）を添加した材料や、銅と反応し難いタンタル（Ta）、チタン（Ti）、タングステン（W）、チタンタングステン（TiW）合金等のような高融点金属を用いることもできる。また、本実施の形態 1 によれば、導電性バリア膜 17a の膜厚を、例えば 10nm、それよりも小さい 6 ~ 7nm または 5nm 以下としても良好な TDD 特性を得ることができる。

【0065】続いて、導電性バリア膜 17a 上に、例えば厚さ 800 ~ 1600nm 程度の相対的に厚い銅からなる主導体膜（第 2 導体膜）18a を堆積する。本実施の形態 1 では、主導体膜 18a を、例えばメッキ法で形成した。メッキ法を用いることにより、良好な膜質の主導体膜 18a を埋め込み性良く、かつ、低コストで形成することができる。この場合、まず、導電性バリア膜 17a 上に、銅からなる薄い導体膜をスパッタリング法で堆積した後、その上に、銅からなる相対的に厚い導体膜を、例えば電解メッキ法または無電解メッキ法によって成長させることで主導体膜 18a を堆積した。このメッキ処理では、例えば硫酸銅を基本とするメッキ液を使用した。ただし、上記主導体膜 18a をスパッタリング法で形成することもできる。この導電性バリア膜 17a および主導体膜 18a を形成するためのスパッタリング法としては、通常のスパッタリング法でも良いが、埋込み性および膜質の向上を図る上では、例えばロングスロースパッタリング法やコリメートスパッタリング法等のような指向性の高いスパッタリング法を用いることが好ましい。また、主導体膜 18a を CVD 法で形成することもできる。その後、例えば 475℃ 程度の非酸化性雰囲気（例えば水素雰囲気）中において基板 1S に対して熱処理を施すことにより主導体膜 18a をリフローさせ、銅を配線溝 16a の内部に隙間なく埋め込む。

【0066】次に、主導体膜 18a および導電性バリア膜 17a を CMP 法によって研磨する。本実施の形態 1 においては、CMP 法として、例えば上記砥粒フリー CMP（第 1 ステップ）および有砥粒 CMP（第 2 ステップ）の 2 ステップ CMP 法を用いる。すなわち、例えば次の通りである。

【0067】まず、第 1 ステップは、銅からなる主導体膜 18a を選択的に研磨することを目的としている。研磨液（スラリー）中には、保護膜形成用の防蝕剤、銅の酸化剤および銅の酸化膜をエッチングする成分が含まれているが、砥粒は含まれていない。研磨液中の砥粒の含有量

は、例えば0.5重量%以下または0.1重量%以下のものが好ましく、特に0.05重量%以下あるいは0.01重量%以下のものはさらに好ましい。ただし、砥粒を研磨剤全体の3~4%程度含ませても良い。研磨液としては、銅の腐食域に属するようにそのpHが調整されたものが使用され、さらに導電性バリア膜17aに対する主導体膜18aの研磨選択比が、例えば少なくとも5以上となるようにその組成が調整されたものが使用される。このような研磨液として、酸化剤と有機酸とを含んだスラリーを例示することができる。酸化剤としては、過酸化水素(H_2O_2)、水酸化アンモニウム、硝酸アンモニウム、塩化アンモニウムなどを例示することができ、有機酸としては、クエン酸、マロン酸、フマル酸、リンゴ酸、アジピン酸、安息香酸、フタル酸、酒石酸、乳酸、コハク酸、シュウ酸などを例示することができる。これらのうち、過酸化水素は金属成分を含まず、かつ強酸ではないため、研磨液に用いて好適な酸化剤である。また、クエン酸は食品添加物としても一般に使用されており、毒性が低く、廃液としての害も低く、臭いもなく、水への溶解度も高いため、研磨液に用いて好適な有機酸である。本実施の形態では、例えば純水に5体積%の過酸化水素と0.03重量%のクエン酸とを加え、砥粒の含有量を0.01重量%未満にした研磨液を使用する。防蝕剤としては、例えばBTAが用いられている。

【0068】この第1ステップの砥粒フリーCMPでは、主導体膜18aの保護作用とエッチング作用との両方を生じさせながら主導体膜18aを主に化学的要素で研磨する。すなわち、上記研磨液で化学機械研磨を行うと、まず銅表面が酸化剤によって酸化され、表面に薄い酸化層が形成される。次に酸化物を水溶性化する物質が供給されると上記酸化層が水溶液となって溶出し、上記酸化層の厚さが減る。酸化層が薄くなった部分は再度酸化性物質に晒されて酸化層の厚が増し、この反応を繰り返して化学機械研磨が進行する。保護膜の除去は主に研磨パッドとの接触で行われる。

【0069】研磨の条件は、一例として荷重=250g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、例えば米国ロデール(Rodel)社の硬質パッド(IC1400)を使用した。この研磨パッドは、平坦性を上げる観点から硬質パッドを採用したが、軟質パッドを使用しても良い。研磨の終点は、主導体膜16が除去されて下地の導電性バリア膜17aが露出した時点とし、終点の検出は、研磨対象が主導体膜18aから導電性バリア膜17aになったときに変化する定盤またはウエハキャリアの回転トルク信号強度を検出することによって行う。また、研磨パッドの一部に穴を開け、基板1Sの表面からの光反射スペクトル変化に基づいて終点を検出したり、スラリーの光学的スペクトル変化に基づいて終点を検出したりしても良い。

【0070】このような研磨処理において、銅からなる主導体膜18aの研磨速度は、例えば500nm/min程度、導電性バリア膜18aの研磨速度は、例えば3nm/min程度である。研磨時間は、主導体膜18aの膜厚によって異なるので一概には言えないが、例えば上記の膜厚で2~4分程度である。なお、上記のような砥粒フリーの研磨液を使用した化学機械研磨については、本願発明者などによる日本特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0071】続く第2ステップは、導電性バリア膜17aを選択的に研磨することを目的としている。この第2ステップでは、導電性バリア膜17aを研磨パッドの接触により主として機械的要素で研磨する。ここでは、研磨液として上記防蝕剤、上記酸化剤および酸化膜をエッチングする成分の他に、砥粒が含まれている。本実施の形態1では、研磨液として、例えば純水に5体積%の過酸化水素、0.03重量%のクエン酸および0.5~0.8重量%の砥粒を混合したものを使用するが、これに限定されるものではない。この砥粒の添加量は、主として下地の絶縁膜12bが削られないような量に設定されており、その量は、例えば1重量%以下にされている。砥粒としては、例えばコロイダルシリカ(SiO_2)が使用されている。この砥粒としてコロイダルシリカを用いることにより、CMP処理による絶縁膜12bの研磨面の損傷を大幅に低減でき、スクラッチフリーを実現できる。また、この第2ステップでは、酸化剤の量を第1ステップ時の酸化剤の量よりも減らしている。すなわち、研磨液中の防蝕剤の量を相対的に増やしている。そして、導電性バリア膜17aに対する主導体膜18aの研磨選択比が前記砥粒フリー化学機械研磨のそれよりも低い条件、例えば選択比3以下の条件で研磨を行う。このような条件で研磨することにより、第2ステップにおいては、銅からなる主導体膜18aの酸化を抑えつつ、保護を強化することができるので、主導体膜18aが過剰に研磨されないようにすることができ、ディッシングやエロージョン等を抑制または防止することが可能となっている。これにより、配線抵抗の増大やバラツキを抑制または防止できるので、半導体集積回路装置の性能を向上させることができる。

【0072】第2ステップの研磨の条件は、一例として荷重=120g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、例えばロデール社のIC1400を使用した。研磨量は導電性バリア膜17aの膜厚相当分とし、研磨の終点は、導電性バリア膜17aの膜厚および研磨速度から算出した時間によって制御する。

【0073】このような研磨処理において、導電性バリア膜17aの研磨速度は、例えば80nm/min程度、銅からなる主導体膜18aの研磨速度は、例えば7

nm/min 程度、下地の絶縁膜 12b の研磨速度は、例えば 3 nm/min 程度である。研磨時間は、導電性バリア膜 17a の膜厚によって異なるので一概には言えないが、例えば上記の膜厚で 1 分程度である。また、上記砥粒は、コロイダルシリカに代えて、アルミナ (Al_2O_3) を用いることもできる。

【0074】上記の有砥粒化学機械研磨を行うことにより、配線溝 16a の外部の導電性バリア膜 17a は殆ど除去されて下層の絶縁膜 12b が露出する。しかし、下地段差に起因して生じた絶縁膜 12b の上面の小さな窪みなどには、上記の研磨で除去しきれなかった導電性バリア膜 17a が残存する場合がある。この場合は、次のような CMP 処理を施すと良い。

【0075】すなわち、配線溝 16a の内部の主導体膜 18a の研磨を可能な限り抑制しつつ、配線溝 16a の外部の絶縁膜 12b 上に局所的に残った導電性バリア膜 17a を除去するための選択的 CMP を行う。この選択的 CMP は、主導体膜 18a に対する導電性バリア膜 17a の研磨選択比が少なくとも 5 以上となる条件で行う。また、この CMP は、主導体膜 18a の研磨速度に対する絶縁膜 12b の研磨速度の比が 1 よりも大きくなる条件で行う。

【0076】上記選択的 CMP を行うには、一般に前記有砥粒 CMP で使用したような 0.5 重量% よりも多い砥粒を含有する研磨液に防食剤を添加したものを使用する。防食剤とは、主導体膜 18a の表面に耐食性の保護膜を形成することによって研磨の進行を阻止または抑制する薬剤をいい、ベンゾトリアゾール (BTA)、BTA カルボン酸などの BTA 誘導体、ドデシルメルカプタン、トリアゾール、トリルトリアゾールなどが使用されるが、特に BTA を使用した場合に安定な保護膜を形成することができる。

【0077】防食剤として BTA を使用する場合、その濃度はスラリの種類にもよるが、通常は 0.001~1 重量%、より好ましくは 0.01~1 重量%、さらに好ましくは 0.1~1 重量% (3 段階) の添加で十分な効果が得られる。本実施の形態 1 では、研磨液として前記有砥粒 CMP で使用した研磨液に防食剤として 0.1 重量% の BTA を混合したものを使用するが、これに限定されるものではない。また、防食剤の添加による研磨速度の低下を避けるために、ポリアクリル酸、ポリメタクリル酸、これらのアンモニウム塩またはエチレンジアミン四酢酸 (EDTA) などを必要に応じて添加しても良い。なお、このような防食剤を含むスラリーを使用した CMP については、本願発明者などによる特願平 10-209857 号、特願平 9-299937 号および特願平 10-317233 号に詳しく記載されている。

【0078】この選択的 CMP は、前記の有砥粒 CMP が終了した後、引き続いて CMP 装置の定盤の上で行われる。防食剤を添加した研磨液は、スラリー供給管を通じ

て研磨パッドの表面に供給される。研磨の条件は、一例として荷重 = 120 g/cm²、ウエハキャリア回転数 = 30 rpm、定盤回転数 = 25 rpm、スラリー流量 = 190 cc/min とする。上記の選択的 CMP を行うことにより、配線溝 16a の外部の導電性バリア膜 17a がすべて除去される。

【0079】以上のような CMP 処理により、図 8 に示すように、配線溝 16a 内に埋込第 2 層配線 L2 を形成する。埋込第 2 層配線 L2 は、相対的に薄い導電性バリア膜 17a と、相対的に厚い主導体膜 18a とを有してなり、プラグ 14 を通じて第 1 層配線 L1 と電気的に接続されている。本実施の形態 1 によれば、埋込第 2 層配線 L2 を形成するための研磨処理において、上記のような CMP 法を採用することにより、CMP 処理による絶縁膜 12b の研磨面の損傷を大幅に低減でき、上記スクラッチフリーな研磨が可能となる。上述の例では、Low-K 材料の絶縁膜 11b 上に、絶縁キャップ用の絶縁膜 12b を設けたが、本実施の形態 1 の CMP 法によればスクラッチフリー研磨が可能なので、上記絶縁キャップ用の絶縁膜 12b を設けない構造とすることもできる。すなわち、CMP 面に絶縁膜 11b が露出される構造としても良い。

【0080】研磨が終了した基板 1S は、その表面に防蝕処理が施される。この防蝕処理部は、研磨処理部の構成と類似した構成になっており、ここでは、まず研磨盤 (プラテン) の表面に取り付けた研磨パッドに基板 1S の主面が押し付けられて研磨スラリーが機械的に除去された後、例えばベンゾトリアゾール (BTA) などの防蝕剤を含んだ薬液が基板 1S の主面に供給されることによって、基板 1S の主面に形成された銅配線の表面部分に疎水性保護膜が形成される。

【0081】防蝕処理が終了した基板 1S は、その表面の乾燥を防ぐために、浸漬処理部に一時的に保管される。浸漬処理部は、防蝕処理が終了した基板 1S を後洗浄するまでの間、その表面が乾燥しないように維持するためのもので、例えば純水をオーバーフローさせた浸漬槽 (ストッカ) の中に所定枚数の基板 1S を浸漬させて保管する構造になっている。このとき、埋込第 2 層配線 L2 の電気化学的腐蝕反応が実質的に進行しない程度の低温に冷却した純水を浸漬槽に供給することにより、埋込第 2 層配線 L2 の腐蝕をより一層確実に防止することができる。基板 1S の乾燥防止は、例えば純水シャワーの供給など、少なくとも基板 1S の表面を湿潤状態に保持することのできる方法であれば、上記した浸漬槽中での保管以外の方法で行っても良い。この浸漬処理部 (基板保管部) を遮光構造にし、保管中の基板 1S の表面に照明光などが照射されないようにすることができる。これにより、光起電力効果による短絡電流の発生を防ぐようにできる。浸漬処理部を遮光構造にするには、具体的には浸漬槽 (ストッカ) の周囲を遮光シートなどで被覆

することによって、浸漬槽（ストッカ）の内部の照度を少なくとも500ルクス以下、好ましくは300ルクス以下、さらに好ましくは100ルクス以下にする。なお、上記のようなCMP処理およびCMP装置については、例えば本発明者らによる特願平11-226876号および特願2000-300853号に記載がある。

【0082】その後、基板1Sの表面の湿潤状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1Sに対してアルカリ洗浄処理を施す。この処理は、CMP処理時のスラリ等の異物を除去する目的を有しており、CMP処理により基板1Sに付着した酸性スラリを中和し、基板1Sと、異物と、洗浄用のブラシとのzeta電位を方向を揃えて、それらの間の吸着力をなくすために、例えばpH（ペーハー）8程度またはそれ以上の弱アルカリ薬液を供給しながら、基板1Sの表面をスクラブ洗浄（またはブラシ洗浄）する。アルカリ薬液として、例えばアミノエタノール（DAE（Diluted Amino Ethanol）、組成：2-Aminoethanol、 $\text{H}_2\text{NC}_2\text{H}_4\text{OH}$ 、濃度：0.001～0.1%程度、好ましくは0.01%）を用いた。この薬液は、銅のエッチング作用が少なく、 NH_4OH と同等の洗浄力を有する。この洗浄処理では、ロール型洗浄方式を採用した。ただし、これに限定されるものではなく種々変更可能であり、例えばアルカリ洗浄に際してディスク型洗浄方式を採用することもできる。また、酸洗浄に際してディスク型洗浄方式やペン型洗浄方式を採用することもできる。

【0083】次に、図9は、図8に続く半導体装置の製造工程中における図5のX1-X1線に相当する部分の断面図を示している。

【0084】ここでは、まず、基板1S（特に埋込第2層配線L2が露出するCMP研磨面）に対して還元処理を施す。すなわち、基板1S（特にCMP研磨面）に対して、例えば水素ガス雰囲気中で、例えば200～475℃、好ましくは300℃、例えば0.5～5分、好ましくは2分程度の熱処理を施した（水素（ H_2 ）アニール処理）。これにより、CMP時に発生した埋込第2層配線L2表面の酸化銅膜を銅に還元することができ、その後の酸洗浄による埋込第2層配線L2のエッチングを抑制または防止することができる。このため、配線抵抗の上昇、配線抵抗のばらつきおよび段差の発生を同時に抑制または防止でき、さらに、エッチコロージョンの発生も抑制または防止できる。また、還元処理を行わない場合、CMP処理時に基板1Sの表面に付着したBTA等のような有機物が洗浄処理に際してマスクとなり絶縁膜12bの表層を良好に削りとることができない場合があるが、本実施の形態のように還元処理を行うことにより、CMP時に付着したBTA等の有機物を除去することができるので、絶縁膜12bの表層を、十分に、かつ、均一に除去することができる。これらにより、半導

体集積回路装置のTDD B寿命を大幅に向上させることが可能となる。なお、場合によっては、上記のような水素アニールを施さなくても良い場合もある。

【0085】続いて、基板1Sに対して酸洗浄処理を施す。この処理は、TDD B特性の向上、残留金属除去、絶縁膜12b表面のダングリングボンドの低減および絶縁膜12b表面の凹凸除去等の目的を有しており、フッ酸水溶液を基板1Sの表面に供給してエッチングによる異物粒子（パーティクル）の除去を行う。フッ酸洗浄を挿入しただけでもTDD B特性を改善できる。これは、酸処理により表面のダメージ層が除去されて界面の密着性が向上したためと考えられる。フッ酸（HF）洗浄は、例えばブラシスクラブ洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件が選択できる。その後、基板1Sに対してスピンドライヤ等のような乾燥処理を施し、次の工程に移行する。

【0086】本発明者らの実験によれば、アルカリ洗浄、水素アニールおよび酸洗浄のシーケンスのTDD B特性は、アルカリ洗浄と酸洗浄との連続シーケンスのTDD B特性と比較し、約2桁向上することが明らかとされた。層間絶縁膜に低誘電率の絶縁材料を用いた埋込み銅配線構造の信頼性を考慮すると、2桁のTDD B寿命の向上は、非常に有効なプロセスである。アルカリ洗浄と酸洗浄との間に、水素アニールを挿入することにより、TDD B寿命が向上する理由として、CMP時に付着するBTA等の有機物が除去されるため等が考えられる。有機物が付着したまま酸洗浄を行うと、TDD B寿命を左右する隣接絶縁膜表面のクリーニング（リフトオフ）が十分にできないと推定される。一方、本実施の形態1では水素アニール処理を行ってから洗浄処理を行うため、絶縁膜の表層を、十分に、かつ、均一にリフトオフすることができ、TDD B寿命を向上させることが可能となる。

【0087】上記の例では、アルカリ洗浄処理を行った後、還元処理を行い、さらに酸洗浄を行う場合について説明したが、これに限定されるものではなく種々変更可能である。例えばCMP処理後、上記還元処理を行い、その後、アルカリ洗浄処理、酸洗浄処理の順で後洗浄処理を行っても良い。また、アルカリ洗浄を行わず、酸洗浄のみを行っても良い。すなわち、CMP処理、還元処理および酸洗浄処理のシーケンスでも良い。酸洗浄のみを行っただけでもTDD B特性が改善する。これは、ダメージ層の除去により界面の特性を向上できたためと思われる。また、上記CMP後洗浄処理に先行または並行して、基板1Sの表面を純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピン洗浄したり、基板1Sの裏面を純水スクラブ洗浄したりしても良い。

【0088】次に、図10は、図9に続く半導体装置の製造工程中における図5のX1-X1線に相当する部分の断面図を示している。また、図11は、図10に続く

半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図を示している。

【0089】ここでは、上記のようなCMP後洗浄処理（スピンドライヤー等による最終的な乾燥処理を含む）後に、基板1Sに対して、例えば次のような還元性プラズマ処理を施す。すなわち、基板1S（特に埋込第2層配線L2が露出するCMP面）に対して、水素プラズマ処理を施す。この水素プラズマ処理条件は、例えば基板1Sの直径を8インチ（＝約200mm）とした場合、処理圧力を5.0 Torr（＝ 6.6661×10^2 Pa）、高周波（RF）電力を600W、基板温度を400℃、水素ガス流量を500 cm³/min、処理時間を10～30秒とした。電極間距離は600 mils（15.24mm）とした。処理ガスは、例えば水素（H）の単体ガスまたは水素（H）と窒素（N）との混合ガスを用いた。

【0090】このような水素プラズマ処理を施すことにより、本発明者らによる特願平11-226876号や特願2000-300853号でも述べたように、有機系の除去能力が非常に高い（後述のアンモニアプラズマ処理等に比べて高い）ため、CMPでのスラリに含まれているBTA、スラリ成分やCMP後洗浄の有機酸とプロセス中に生成した残留有機物をほぼ完全に除去し、界面のリーク電流を減少させることができる。その結果、TDDDB寿命をさらに向上させることができる。

【0091】続いて、図11では、上記水素プラズマ処理後、大気開放せず連続して、基板1Sに対して、例えば次のような還元処理を施す。すなわち、基板1S（特に埋込第2層配線L2が露出するCMP面）に対して、アンモニア（NH₃）プラズマ処理を施す。このアンモニアプラズマ処理条件は、例えば基板1Sの直径を8インチ（＝約200mm）とした場合、処理圧力を0.5～1.0 Torr（＝ $66.6612 \sim 133.332$ Pa）程度、プラズマ処理装置の上部電極の印加電力を500～1000W程度、プラズマ処理装置の下部電極の印加電力を0～1000W程度（0が好ましい）、基板温度を300℃～400℃程度、アンモニアガス流量を500～1500 cm³/min程度、処理時間を5～60秒程度とした。電極間距離は300～600 mils（7.62mm～15.24mm）とした。

【0092】このようなアンモニアプラズマ処理では、CMPで酸化された銅配線表面の酸化銅（CuO、Cu₂O）を銅（Cu）に還元する。また、セッフロー時の銅のシリサイド化を防ぐ窒化銅（Cu₃N）層が埋込第2層配線L2の表面（ごく薄い領域）に形成される。配線間の絶縁膜12bの上面（ごく薄い領域）では、SiN化またはSiH化が進み、絶縁膜12b表面のダングリングボンドを補償し、また、後述のキャップ用の絶縁膜と埋込第2層配線L2および絶縁膜12bとの密着性を向上させることができ、界面のリーク電流を低減する

ことができる。このような効果により、TDDDB寿命を向上させることができる。

【0093】したがって、この水素プラズマ処理とアンモニアプラズマ処理とを順に行うことにより、銅を主成分として有する埋込第2層配線L2表面の還元および耐シリサイドバリア層の形成と、絶縁膜12bの界面のクリーニングおよびSiH効果、SiN効果を得ることができ、さらなる信頼性の向上を実現できる。層間絶縁膜が、例えばTEOS（Tetraethoxysilane）ガスを用いたプラズマCVD法で形成された酸化シリコン膜上に、プラズマCVD法で形成された窒化シリコン膜を堆積することで構成されている場合において、水素プラズマとアンモニアプラズマとを組み合わせで行ったサンプルでは、アンモニアプラズマ処理単独の場合と比較して、TDDDB寿命が約2桁向上することが本発明者らによって明らかとされた。また、層間絶縁膜として上記SiLKを用いた場合でも、水素プラズマおよびアンモニアプラズマを用いた場合には、例えば約0.13～0.17 MV/cm、10年の動作環境でも充分な信頼度を確保できることが本発明者らの実験によって明らかとされた。

【0094】上記した還元性プラズマ処理条件は、これら例示した条件に限られないのはもちろんである。本発明者らの検討では、圧力が高いほどプラズマダメージを低減でき、基板温度が高いほどTDDDB寿命の基板内ばらつきの低減と長寿命化がはかれることが明らかとされた。また、基板温度が高く、RF電力が大きく、処理時間が長いほど銅の表面にヒロックが発生しやすい、という知見が得られている。これらの知見と装置構成等による条件のばらつきを考慮すると、例えば処理圧力は0.5～6 Torr（＝ $0.66661 \times 10^2 \sim 7.99932 \times 10^2$ Pa）、RF電力は300～600W、基板温度は350～450℃、水素ガス流量は50～1000 cm³/min、アンモニアガス流量は20～500 cm³/min、処理時間は5～180秒、電極間距離は150～1000 mils（3.81～25.4mm）の範囲で設定することができる。

【0095】また、上記の例では、水素プラズマ処理後にアンモニアプラズマ処理を施す場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばアンモニアプラズマ処理後、真空状態を維持したまま水素プラズマ処理に連続的に移行しても良い。また、還元処理としてアンモニアプラズマ処理のみを行っても良い。これらの場合でも、TDDDB寿命を向上させることができた。

【0096】次に、図12は、図11に続く半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図を示している。また、図13は、図12の要部拡大断面図を示している。

【0097】ここでは、上記アンモニアプラズマ処理後、大気開放せず連続して、埋込第2層配線L2および

絶縁膜12bの上面上に、配線キャップ用の絶縁膜（第2絶縁膜および第3絶縁膜、第4絶縁膜）15bをCVD法等によって堆積する。この際、本実施の形態1においては、その絶縁膜15bを、埋込第2層配線L2の導電性バリア膜17aの露出部分が酸化されないように堆積する。そのために、本実施の形態1においては、最初に導電性バリア膜17aの酸化を抑制または防止する、すなわち、酸化から保護する酸化バリア用の絶縁膜（第2絶縁膜、第5絶縁膜）15b1を絶縁膜12bおよび埋込第2層配線L2上に堆積した後、大気開放せず、真空状態を維持したまま連続的に、その上に、例えばトリメトキシシラン（TMS、化学式： $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）ガスと酸化窒素（ N_2O ）ガスとの混合ガスを用いたプラズマCVD法等によってPE-TMS（Canon製、誘電率=3.9）等のような酸化窒化シリコン（SiON）膜等からなる絶縁膜（第3絶縁膜、第6絶縁膜）15b2を堆積するようにした。これにより、PE-TMS等のような酸化窒化シリコン（SiON）膜の堆積処理に際して導電性バリア膜17aの酸化を抑制または防止できるので、その導電性バリア膜17aの酸化に起因して主導体膜18a中の銅が拡散してしまう不具合を抑制または防止できる。このため、TDD寿命を向上させることができる。また、配線キャップ用の絶縁膜15bの大半または全部を窒化シリコン膜よりも誘電率の低い材料で形成することにより、配線容量を低減できるので、半導体装置の動作速度を向上させることが可能となる。さらに、優れた耐湿性を有するPE-TMS等を埋込第2層配線L2の配線キャップ用の絶縁膜として使用できるので、半導体装置の信頼性を向上させることが可能となる。具体的には、例えば次のようにする。

【0098】第1の方法は、酸化バリア用の絶縁膜15b1を、例えば窒化シリコン膜、炭化シリコン（SiC）膜または炭窒化シリコン（SiCN）膜等のような銅の拡散を抑制または防止する機能を有する絶縁膜によって形成する方法である。

【0099】この場合の酸化バリア用の絶縁膜15b1の厚さは、例えば1nm以上であるが、配線構造の全体的な誘電率を低く抑えたいので絶縁膜15b2よりは薄く形成されている。絶縁膜15b2の厚さは、例えば50nm程度以下である。絶縁膜15b2中の窒素の含有率は、例えば1～8%程度である。絶縁膜15b2の成膜時の処理室内の圧力は、例えば0.5～1.0Torr（=66.6612～133.332Pa）程度、トリメトキシシランガスの流量は、例えば100～150 cm^3/min 程度、 N_2O のガス流量は、例えば4000 cm^3/min 程度以下、プラズマCVD装置の上部電極および下部電極の印加電力は、例えば500～1000W程度である。

【0100】この第1の方法において、酸化バリア用の

絶縁膜15b1を、例えば炭化シリコン膜または炭窒化シリコン膜等によって形成した場合は、酸化バリア用の絶縁膜15b1を窒化シリコン膜で形成した場合よりも誘電率を下げることができ、配線容量を低減できるので、半導体装置の動作速度を向上させることが可能となる。

【0101】第2の方法は、酸化バリア用の絶縁膜15b1を、酸素を用いないガス条件、特に酸化性の高い N_2O ガスを用いない条件でのプラズマCVD法等によって堆積されたPE-TMS（Canon製、誘電率=3.9）等のような酸化窒化シリコン（SiON）膜等によって形成する方法である。この場合の絶縁膜15b1も、銅の拡散を抑制または防止する機能を有している。

【0102】酸素を用いないガス条件としては、例えばトリメトキシシラン（TMS）ガスとアンモニア（ NH_3 ）ガスとの混合ガス、または、トリメトキシシラン（TMS）ガスと窒素（ N_2 ）ガスとの混合ガス等を挙げることができる。この場合の酸化バリア用の絶縁膜15b1の厚さは、例えば1～10nm程度である。また、その上層の絶縁膜15b2の厚さは、上記第1の方法で説明したのと同じである。絶縁膜15b1、15b2中の窒素の含有率は、例えば1～8%程度である。絶縁膜15b1の成膜時の処理室内の圧力は、例えば0.5～1.0Torr（=66.6612～133.332Pa）程度、トリメトキシシランガスの流量は、例えば100～150 cm^3/min 程度、 N_2O ガスの流量は、例えば0 cm^3/min 、 N_2 ガスを用いた場合のそのガス流量は、例えば4000 cm^3/min 程度以下、 NH_3 ガスを用いた場合のそのガス流量は、例えば1500 cm^3/min 程度以下、プラズマCVD装置の上部電極および下部電極の印加電力は、上記第1の方法と同じである。また、絶縁膜15b2の成膜条件は、上記第1の方法で説明したのと同じである。

【0103】この第2の方法においては、絶縁膜15b1、15b2を、共に、例えばPE-TMS等のような誘電率の低い酸化窒化シリコン（SiON）膜によって形成することができるので、上記第1の方法を用いた場合よりも配線容量を低減でき、半導体装置の動作速度を向上させることが可能となる。また、絶縁膜15bの全体（絶縁膜15b1、15b2）を耐湿性に優れたPE-TMS等のような酸化窒化シリコン（SiON）膜によって形成することにより、半導体装置の信頼性を向上させることが可能となる。

【0104】第3の方法は、酸化バリア用の絶縁膜15b1を、例えば成膜処理に際して酸化性の低い N_2/O_2 を併用し、酸素（特に酸化性の高い N_2O ）を低減したガス条件でのプラズマCVD法等によって堆積されたPE-TMS（Canon製、誘電率=3.9）等のような酸化窒化シリコン（SiON）膜等によって形成する方法である。この場合も絶縁膜15b1は、銅の拡散を抑

制または防止する機能を有している。

【0105】酸素を低減したガス条件としては、例えばトリメトキシシラン (TMS) ガスと N_2 ガスと O_2 ガスとの混合ガス、トリメトキシシラン (TMS) ガスと NH_3 ガスと O_2 ガスとの混合ガス、トリメトキシシラン (TMS) ガスと NH_3 ガスと N_2 ガスと O_2 ガスとの混合ガスまたはトリメトキシシラン (TMS) ガスと N_2 ガスと NH_3 ガスとの混合ガス等を挙げることができる。この場合、 N_2 ガスや NH_3 ガスは混合ガスにおける希釈ガスとしての役割を有している。

【0106】この場合の絶縁膜15b1、15b2の厚さおよび窒素の含有率は、上記第2の方法で説明したのと同じである。絶縁膜15b1の成膜時の処理室内の圧力およびプラズマCVD装置の上部電極および下部電極の印加電力は、上記第1、2の方法で説明したのと同じである。成膜処理ガスとして、例えばトリメトキシシラン (TMS) ガスと N_2 ガスと O_2 ガスとの混合ガスを用いた場合のトリメトキシシランガスの流量は、例えば $75 \sim 150 \text{ cm}^3/\text{min}$ 程度、 N_2 ガスの流量は、例えば $4000 \text{ cm}^3/\text{min}$ 程度以下、 O_2 ガスの流量は、例えば $4000 \text{ cm}^3/\text{min}$ 程度以下である。また、トリメトキシシラン (TMS) ガスと NH_3 ガスと O_2 ガスとの混合ガスを用いた場合のトリメトキシシランガスの流量は、例えば $75 \sim 150 \text{ cm}^3/\text{min}$ 程度、 NH_3 ガスの流量は、例えば $1500 \text{ cm}^3/\text{min}$ 程度、 O_2 ガスの流量は、例えば $4000 \text{ cm}^3/\text{min}$ 程度である。トリメトキシシラン (TMS) ガスと NH_3 ガスと N_2 ガスと O_2 ガスとの混合ガスを用いた場合のトリメトキシシランガスの流量は、例えば $75 \sim 150 \text{ cm}^3/\text{min}$ 程度、 NH_3 のガス流量は、例えば $1500 \text{ cm}^3/\text{min}$ 程度以下、 N_2 ガスの流量は、例えば $4000 \text{ cm}^3/\text{min}$ 程度、 O_2 ガスの流量は、例えば $4000 \text{ cm}^3/\text{min}$ 程度である。さらに、トリメトキシシラン (TMS) ガスと N_2O ガスと NH_3 ガスとの混合ガスを用いた場合のトリメトキシシランガスの流量は、例えば $75 \sim 150 \text{ cm}^3/\text{min}$ 程度、 N_2O ガスの流量は、例えば $4000 \text{ cm}^3/\text{min}$ 程度、 NH_3 ガスの流量は、例えば $1500 \text{ cm}^3/\text{min}$ 程度である。また、絶縁膜15b2の成膜条件は、上記第1、2の方法と同じである。

【0107】この第3の方法の応用として、絶縁膜15bの全部を、この第3の方法で形成しても良い。すなわち、絶縁膜15bを、上記酸素を低減したガス条件でのプラズマCVD法等により堆積されたPE-TMS等のような酸化窒化シリコン (SiON) 膜の単体膜によって形成しても良い。この場合、配線キャップ用の絶縁膜の成膜処理においてガスの変更やそのための制御を無くすることができる。このため、成膜制御を容易にできる。また、成膜処理時間を短縮できる。

【0108】ただし、上記の説明では、酸化窒化シリコン

(SiON、窒素含有率1~8%程度) 膜の成膜に際してトリメトキシシランガスを用いた場合について説明したが、これに限定されるものではなく種々変更可能である。例えば第1の方法の絶縁膜15b2、15d2や上記第2の方法の絶縁膜15b1、15b2、15d1、15d2は、成膜処理において、例えばモノシラン、ジシランまたはTEOS (Tetraethoxysilane) のうちの選択されたガスと、アンモニアガスと、酸素 (または N_2O あるいはオゾン (O_3)) ガスとの混合ガスまたはこの混合ガスに窒素を導入した混合ガスを用いても良い。また、トリメチルシラン (3MS) ガスまたはテトラメチルシラン (4MS) ガスのうちの選択されたガスと、酸化窒素 (N_2O) ガス (または酸化窒素ガスおよびアンモニアガス (NH_3)) との混合ガスあるいはこの混合ガスに窒素 (N_2) ガス、窒素 (N_2) ガスおよび酸素 (O_2) ガスの混合ガスまたは窒素ガス、酸素ガスおよびアンモニアガスの混合ガスを添加した混合ガスを用いても良い。

【0109】これらの場合も絶縁膜15b2の下層に酸化バリア用の絶縁膜15b1を設けることにより、導電性バリア17a露出部の酸化を抑制または防止できるので、銅の拡散を抑制または防止でき、TDDDB寿命を向上させることができる。

【0110】なお、埋込第2層配線L2の側面には、図13に示すように、下方から上方に向かって配線幅が次第に広くなるようなテーパが形成されている。この埋込第2層配線L2の側面と絶縁膜11aの上面との成す角 α は、例えば $80^\circ \sim 90^\circ$ の範囲内、具体的には、例えば 88.7° 程度である。埋込第2層配線L2の上部側の幅 (配線溝16aの上部側幅) および互いに隣接する埋込第2層配線L2の上部側の間隔 (互いに隣接埋する埋込第2層配線L2の上部角間の距離) は、例えば $0.25 \mu\text{m}$ 以下、あるいは $0.2 \mu\text{m}$ 以下である。また、互いに隣接する埋込第2層配線L2の最小隣接ピッチは、例えば $0.5 \mu\text{m}$ 以下である。配線溝16aのアスペクト比は、例えば1である。

【0111】次に、図14は、図12および図13に続く半導体装置の製造工程中における図5のX1-X1線に相当する部分の断面図を示している。ここには、埋込第3層配線L3が例示されている。

【0112】配線キャップ用の絶縁膜15b上には、絶縁膜 (第7絶縁膜) 11cが堆積されている。絶縁膜11cの材料および形成方法は、上記Low-K材料で構成される絶縁膜11a、11bと同じである。この絶縁膜11c上には、絶縁膜 (第8絶縁膜) 12cが堆積されている。絶縁膜12cの材料、形成方法および機能は、上記絶縁膜12a、12bと同じである。この絶縁膜12c上には、絶縁膜 (第1絶縁膜) 15cが堆積されている。絶縁膜15cの材料、形成方法および機能は、上記絶縁膜15aと同じである。この絶縁膜15c

上には、絶縁膜（第7絶縁膜）11dが堆積されている。絶縁膜11dの材料および形成方法は、上記Low-K材料で構成される絶縁膜11a～11cと同じである。この絶縁膜11d上には、絶縁膜（第8絶縁膜）12dが堆積されている。絶縁膜12dの材料、形成方法および機能は、上記絶縁膜12a～12cと同じである。

【0113】この絶縁膜15c、11d、12dには、平面帯状の配線溝（配線開口部）16bが形成されている。この配線溝16b内には、導電性バリア膜17bおよび主導体膜18bが埋め込まれており、これにより埋込第3層配線L3が形成されている。また、絶縁膜（第1絶縁膜）15b、11c、12cには、配線溝16bの底面から埋込第2層配線L2の上面に延びる平面略円形状のスルーホール（配線開口部）19が形成されている。埋込第3層配線L3は、スルーホール19内に埋め込まれた導電性バリア膜17bおよび主導体膜18bを通じて埋込第2層配線L2と電気的に接続されている。この埋込第3層配線L3は、デュアルダマシン法によって形成されている。すなわち、絶縁膜15c、11d、12dに配線溝16bを形成し、絶縁膜15b、11c、12cにスルーホール19を形成した後、上記導電性バリア膜（第1導体膜）17bおよび主導体膜（第2導体膜）18bを順に堆積する。すなわち、配線溝16bとスルーホール19とを同時に導電性バリア膜17bおよび主導体膜18bで埋め込む。導電性バリア膜17bおよび主導体膜18bの堆積方法は、上記埋込第2層配線の導電性バリア膜17aおよび主導体膜18aと同じである。また、導電性バリア膜17bおよび主導体膜18bの材料も導電性バリア膜17aおよび主導体膜18aと同じである。その後、この導電性バリア膜17bおよび主導体膜18bを、上記埋込第2層配線L2の形成と同様にCMP法によって研磨することにより、埋込第3層配線L3を形成する。

【0114】このような絶縁膜12dおよび埋込第3層配線L3上には、配線キャップ用の絶縁膜（第2絶縁膜および第3絶縁膜、第4絶縁膜）15dが堆積されている。この絶縁膜15dは、上記絶縁膜15bと同じ構造とされている。すなわち、絶縁膜15dは、絶縁膜15d1、15d2の積層構造とされている。絶縁膜12dおよび埋込第3層配線L3に接する絶縁膜（第2絶縁膜、第5絶縁膜）15d1は、上記絶縁膜15b1と同じである。また、絶縁膜15d1上の絶縁膜（第3絶縁膜、第6絶縁膜）15d2は、上記絶縁膜15b2と同じである。したがって、PE-TMS等のような酸窒化シリコン（SiON）膜の堆積処理に際して埋込第3層配線L3の導電性バリア膜17bの酸化を抑制または防止できるので、その導電性バリア膜17bの酸化に起因して主導体膜18b中の銅が拡散してしまう不具合を抑制または防止でき、TDD寿命を向上させることがで

きる。また、配線キャップ用の絶縁膜15dの大半または全部を窒化シリコン膜よりも誘電率の低い材料で形成することにより、配線容量を低減できるので、半導体装置の動作速度を向上させることが可能となる。さらに、優れた耐湿性を有するPE-TMS等を埋込第3層配線の配線キャップ用の絶縁膜として使用できるので、半導体装置の信頼性を向上させることが可能となる。

【0115】このように、本実施の形態1によれば、配線層の絶縁膜を全体的に誘電率の低い材料で形成することができるので、全体的な配線容量を低減でき、銅からなる埋込配線構造を有する半導体装置の動作速度を向上させることが可能となる。

【0116】ただし、上記の例では、CMP後洗浄処理中に水素アニールを施す場合について説明したが、これに限定されるものではない。例えばCMP後洗浄処理後の乾燥処理の後、水素アニール処理、水素プラズマ処理、アンモニアプラズマ処理、配線キャップ膜形成処理の順に処理を行っても良い。この場合のアンモニアプラズマ処理と水素プラズマ処理との順序は逆でも良い。また、アンモニアプラズマ処理のみでも良い。いずれにおいても水素アニールの条件としては、処理温度は、例えば200～475℃、好ましくは300℃程度、処理時間は、例えば0.5～5分、好ましくは2分程度とした。この方法は、特に埋込配線用の銅からなる主導体膜をメッキ法で形成する場合に適している。また、後洗浄処理中またはその直前の還元処理に際して水素アニールを行わない場合に適している。このように水素アニール処理を施すことにより、メッキ法によって形成された銅を再結晶化させることができるので、配線抵抗を下げる事が可能となる。また、この水素アニール処理を行わずにキャップ膜を堆積すると、熱応力によってキャップ膜の剥離が生じる場合があるが、水素アニール処理を施すことにより、それを抑制または防止することができる。

【0117】（実施の形態2）本実施の形態2においては、配線キャップ用の絶縁膜の堆積する際に埋込配線の導電性バリア膜の露出部分が酸化されないように堆積するための他の方法を説明する。ここでは、還元性プラズマ処理の制御方法を工夫することにより、配線キャップ用の絶縁膜を堆積する方法を説明する。

【0118】本発明者らが上記還元性プラズマ処理および配線キャップ用の絶縁膜の成膜に際して用いたCVD装置の一例を図15に示す。CVD装置20は、平行平板型のプラズマCVD装置であり、互いに平行に配置された下部電極（第1電極）LFおよび上部電極（第2電極）HFを有している。下部電極LFおよび上部電極HFには、それぞれ高周波電源RFL、RFHが電気的に接続され、高周波電力を印加することが可能な構造とされている。ウェハ1Wは、その主面を上部電極HF側に向けた状態で下部電極LF上に載置される。処理ガス

(例えば還元性プラズマであれば H_2 や NH_3 等、成膜処理であれば上記トリメトキシシランガス、 N_2O ガスまたは NH_3 ガス等)は、上部電極HFの裏面側のガス導入管を通じて上部電極HFの下面(ウエハ1Wに対向する面)から供給される構造とされている。

【0119】ところで、本発明者らの研究によれば、上記構造のCVD装置20において、上記配線キャップ用の絶縁膜を堆積する際に、上部電極HFおよび下部電極LFの両方に、すなわち、下部電極LF側にも高周波電力を印加した状態で成膜処理を行うと、活性化した N_2O 等が下部電極LF側に引っ張られ、埋込配線の導電性バリア膜の露出部に直撃する結果、導電性バリア膜がより酸化されてしまう可能性があることを初めて見出した。その結果、銅の拡散が生じ易くなる問題が生じる。

【0120】そこで、本実施の形態2においては、図16に示す絶縁膜15b、15d等のような配線キャップ用の絶縁膜を、次のように成膜する。

【0121】すなわち、まず、上記還元性プラズマ処理(例えばアンモニアプラズマ処理)に際して、CVD装置20の下部電極LFへの印加電力を、還元性プラズマ処理時に下部電極LFに印加する通常の電力(すなわち、上部電極HFに印加する電力で750W程度)よりも下げるか、好ましくは0(零)にした状態でプラズマ処理を施す。これにより、埋込第2層配線L2、埋込第3層配線L3および絶縁膜12b、12dの上面(露出面、CMP面)に対して良好な窒化処理が施される結果、それら上面に形成される窒化膜の均一性を向上させることができる。また、導電性バリア膜17a、17bの上面(露出面、CMP面)の窒化も促すことができる。

【0122】続いて、同一のCVD装置20内において真空状態を維持したまま連続して、CVD装置20の上部電極HFおよび下部電極LFの両方に高周波電力を印加した状態で、例えばトリメトキシシラン(TMS、化学式： $SiH(OCH_3)_3$)ガスと酸化窒素(N_2O)ガスとの混合ガスを用いたプラズマCVD処理を施すことにより、例えばPE-TMS(Canon製、誘電率=3.9)等のような酸窒化シリコン($SiON$)膜等からなる配線キャップ用の絶縁膜15b、15dの単体膜を成膜する。この際、本実施の形態2においては、上記したように埋込第2層配線L2、埋込第3層配線L3および絶縁膜12b、12dの上面に均一性の良い窒化膜が形成されていること、また、導電性バリア膜17a、17bの上面も窒化されガードされていることから、導電性バリア膜17a、17bの上面を保護することができるので、配線キャップ用の絶縁膜の成膜時に、その導電性バリア膜17a、17bの露出部が酸化されてしまうのを抑制または防止することができる。

【0123】上記還元性プラズマ処理および成膜処理時に上部電極HFに印加される高周波電力の周波数は、例

えば13.56MHzである。また、還元性プラズマ処理および成膜処理時に上部電極HFに印加される電力は、例えば500~1000W、例えば750W程度である。また、成膜時に下部電極LFに印加される高周波電力の周波数は、例えば380kHzである。また、成膜時に下部電極に印加される電力は、例えば1000W以下、例えば750W程度である。

【0124】このようにすることにより、絶縁耐圧およびTDD寿命を向上させることが可能となる。図17は、CVD装置20の下部電極LFに高周波電力を印加した場合(白丸)と、印加しない場合(黒い四角)における電界強度と破壊時間との関係のグラフを示している。なお、成膜処理温度は、例えば140°程度、ラインアンドスペースL/Sは、例えば0.25 $\mu m/0.25\mu m$ 程度、楕円配線Lの配線長は、例えば40cm程度である。成膜中に下部電極LFに高周波電力を印加しない場合の方が、互いに隣接する埋込配線間の絶縁破壊耐圧を+1VMV/cm程度向上させることができた。また、TDD寿命を+2桁も向上させることができた。

【0125】また、本実施の形態2においては、配線キャップ用の絶縁膜を単体膜とした場合について説明したが、これに限定されるものではなく、例えば配線キャップ用の絶縁膜を、前記実施の形態1で説明した第1、第2の方法(すなわち、配線キャップ用の絶縁膜を多層構造とする技術)により形成しても良い。これにより、導電性バリア膜17a、17bの酸化をさらに抑制または防止できるので、TDD寿命をさらに向上させることが可能となる。その際の処理ガスの流量、処理室内の圧力も、前記実施の形態1で説明したのと同じなので説明を省略する。

【0126】(実施の形態3) 本実施の形態3においては、埋込配線の上面を、その埋込配線が形成された絶縁膜の上面よりも突出させる構造について説明する。

【0127】図18は、本実施の形態3の半導体装置の要部断面図、図19は図18の要部拡大断面図を示している。ここでは、配線層のみを示した。素子については前記実施の形態1で用いた図14等と同じである。

【0128】本実施の形態3においては、埋込第2層配線L2および埋込第3層配線L3の上面が全体的に絶縁膜12b、12dの上面(CMP面、絶縁膜12bと絶縁膜15bとの接触界面、絶縁膜12dと絶縁膜15dとの接触界面)よりも上方に突出している。ここでは、埋込第2層配線L2および埋込第3層配線L3を構成するそれぞれ導電性バリア膜17a、17bおよび主導体膜18a、18bの両方の上面、特に上部角が、これに近接する絶縁膜12b、12dの上面よりも長さd1だけ上方に離れている。すなわち、埋込第2層配線L2および埋込第3層配線L3の上面と、それぞれ絶縁膜12b、12dの上面との間に小さな段差が生じており、拡

散係数の高い銅からなる主導体膜18a, 18bが、絶縁膜12b, 12dの上面(CMP面)に接しないようにされている。この長さd1は、例えば50nm以下、本実施の形態3においては、例えば10nm程度である。

【0129】このような構造を形成するには、前記CMP処理後洗浄処理の後、配線キャップ用の絶縁膜15b, 15dの成膜処理(還元性プラズマ処理)前に、絶縁膜12b, 12dの上層部が選択的にエッチング除去される条件で基板1Sに対してエッチング処理を施せば良い。この場合、CMP処理により損傷を受け、化学的に不安定となっている絶縁膜12b, 12dの上層部分をエッチング除去してしまうので、このエッチング処理後の絶縁膜12b, 12dの表面を、化学的安定性および清浄度の高い状態とすることができる。このため、互いに隣接する埋込第2層配線L2, L2間および埋込第3層配線L3, L3間にリークパスが形成されるのをさらに抑制または防止することが可能となる。

【0130】また、上記酸洗浄処理に際して、例えばpH値、薬液濃度または処理時間等を所定の値に設定することにより、絶縁膜12b, 12dの上層をエッチング除去することにより、上記埋込第2層配線L2および埋込第3層配線L3の上部を突出させることもできる。この場合の酸洗浄の薬液としては、例えばフッ酸(HF)、フマル酸または有機酸等を用いることができる。この場合、新たにエッチング工程を追加しなくて済むので、製造工程の簡略化および製造時間の短縮が可能となる。

【0131】このような本実施の形態3においては、前記実施の形態1, 2の効果が得られる他に、以下の効果を得ることが可能となる。すなわち、本実施の形態3の構造においては、埋込第2層配線L2および埋込第3層配線L3の上部角の電界集中領域E1内に銅からなる主導体膜18a, 18bの上部角が存在するが、その電界集中領域E1を、リークパスが形成され易い絶縁膜12b, 12dの上面(CMP面)から遠ざけることができる。このため、仮に埋込第2層配線L2および埋込第3層配線L3の上部角に電界が集中することで主導体膜18a, 18bの銅がイオン化したとしても、そのイオン化された銅が絶縁膜12b, 12dの上面を通じて拡散してしまう現象をさらに抑制または防止できる。すなわち、上記電界集中に起因する銅の拡散を抑制または防止することができ、互いに隣接する埋込第2層配線L2, L2間および埋込第3層配線L3, L3間にリークパスが形成されるのを抑制または防止することが可能となる。したがって、TDD寿命をさらに向上させることが可能となる。

【0132】なお、埋込配線の上面とその周囲の絶縁膜上面との間に段差を生じさせる技術については、本願発明者による特願2001-131941号(平成13年

4月27日出願)に記載されている。

【0133】(実施の形態4) 本実施の形態4においては、前記実施の形態3の構造においてLow-K材料からなる絶縁膜上に絶縁キャップ用の絶縁膜を設けない構造について説明する。

【0134】図20は、本実施の形態4の半導体装置の要部断面図、図21は図20の要部拡大断面図を示している。ここでは、配線層のみを示した。素子については前記実施の形態1で用いた図14等と同じである。

【0135】本実施の形態4においては、埋込第2層配線L2および埋込第3層配線L3の上面が全体的に絶縁膜11b, 11dの上面(CMP面、絶縁膜11bと絶縁膜15bとの接触界面、絶縁膜11dと絶縁膜15dとの接触界面)よりも上方に突出しているとともに、Low-K材料からなる絶縁膜11b, 11c, 11dとそれぞれ絶縁膜15b, 15c, 15dとの間に絶縁キャップ用の絶縁膜が介在されていない。すなわち、絶縁膜15b, 15c, 15dが、それぞれLow-K材料からなる絶縁膜11b, 11c, 11dに直接接した状態で堆積されている。ただし、このような絶縁キャップ用の絶縁膜を設けない構造においては、上記絶縁膜11b, 11dの材料として、例えばFSG(SiOF系材料)、HSQ(hydrogen silsesquioxane)系材料およびポーラスHSQ系材料を用いない方が好ましい。これ以外の構造は、前記実施の形態3と基本的に同じである。このような構造とすることにより、本実施の形態4においては、前記実施の形態3の効果が得られる他に、以下の効果を得ることが可能となる。すなわち、絶縁キャップ用の絶縁膜を設けないことにより、配線容量をさらに低減させることができるので、半導体装置の動作速度をさらに向上させることが可能となる。

【0136】また、本実施の形態4においては、絶縁膜11b, 11dの上層を上記水素プラズマ処理およびアンモニアプラズマ処理により若干エッチング除去するようにした。これにより、本実施の形態4の構造を形成する際に新たなエッチング工程を追加することもないし、工程間の搬送も不要とすることができるので、半導体装置の製造工程の簡略化が可能となる。また、異物の付着等を低減できるので、半導体装置の信頼性および歩留まりを向上させることが可能となる。ただし、このようなエッチング方法を採用する際に、絶縁膜11b, 11dの材料として、上記MSQを用いた場合には、上記水素プラズマ処理またはアンモニアプラズマ処理の少なくとも一方の処理ガス中に、例えばC₄F₈のようなカーボンフロライド系ガス(フッ素(F)を含むガス)を添加する。このようにしないと、絶縁膜11b, 11dの上層をエッチング除去することができないからである。なお、このような段差構造を採用することを考慮して、予め配線溝16a, 16bの深さ(絶縁膜15a, 11b, 12bの総厚、絶縁膜15c, 11d, 12dの総

厚)を段差形状を採用しない場合よりも若干深く(厚く)しておく。

【0137】なお、絶縁キャップ用の絶縁膜を設けず、還元性プラズマ処理時にLow-K材料からなる絶縁膜の上層を若干エッチング除去し、埋込配線の上部を突出させる技術および絶縁キャップ用の絶縁膜を設けないでも良い理由については、本願発明者による特願2001-316557号(平成13年10月15日出願)に記載がある。

【0138】(実施の形態5)本実施の形態5においては、埋込配線の上面を、その埋込配線が形成された絶縁膜の上面よりも窪ませる構造について説明する。

【0139】図22は、本実施の形態5の半導体装置の要部断面図、図23は図22の要部拡大断面図を示している。ここでは、配線層のみを示した。素子については前記実施の形態1で用いた図14等と同じである。

【0140】本実施の形態5においては、埋込第2層配線L2および埋込第3層配線L3の上面が全体的に絶縁膜12b、12dの上面(CMP面、絶縁膜12bと絶縁膜15bとの接触界面、絶縁膜12dと絶縁膜15dとの接触界面)よりも下方に窪んでいる。ここでは、埋込第2層配線L2および埋込第3層配線L3を構成するそれぞれ導電性バリア膜17a、17bおよび主導体膜18a、18bの両方の上面、特に上部角が、これに近接する絶縁膜12b、12dの上面よりも長さd1だけ下方に離れている。すなわち、埋込第2層配線L2および埋込第3層配線L3の上面と、それぞれ絶縁膜12b、12dの上面との間に小さな段差が生じており、拡散係数の高い銅からなる主導体膜18a、18bが、絶縁膜12b、12dの上面(CMP面)に接しないようにされている。

【0141】本実施の形態5のような構造を形成するには、前記CMP処理後洗浄処理の後、配線キャップ用の絶縁膜15b、15dの成膜処理(還元性プラズマ処理)前に、導電性バリア膜17a、17bおよび主導体膜18a、18bが選択的にエッチングされる条件で基板1Sに対してエッチング処理を施せば良い。これ以外は、前記実施の形態1、2と同じである。

【0142】このような本実施の形態5によれば、前記実施の形態1、2の効果をえられる他に、前記実施の形態3と同様の作用で同様の効果を得ることが可能となる。

【0143】(実施の形態6)本実施の形態6においては、前記実施の形態5の構造においてLow-K材料からなる絶縁膜上に絶縁キャップ用の絶縁膜を設けない構造について説明する。

【0144】図24は、本実施の形態6の半導体装置の要部断面図、図25は図24の要部拡大断面図を示している。ここでは、配線層のみを示した。素子については前記実施の形態1で用いた図14等と同じである。

【0145】本実施の形態6においては、前記実施の形態5の配線構造と、前記実施の形態4の絶縁膜構造とを組み合わせたものである。すなわち、埋込第2層配線L2および埋込第3層配線L3の上面が全体的に絶縁膜11b、11dの上面(CMP面)よりも下方に窪んでいるとともに、絶縁膜15b、15c、15dが、それぞれLow-K材料からなる絶縁膜11b、11c、11dに直接接した状態で堆積されている。この場合も、上記絶縁膜11b、11dの材料は、前記実施の形態4で説明したのと同じである。このような構造とすることにより、本実施の形態6においては、前記実施の形態5の効果がえられる他に、前記実施の形態4と同様の効果を得ることが可能となる。

【0146】また、本実施の形態6においても、前記実施の形態4と同様に、絶縁膜11b、11dの上層を上記水素プラズマ処理およびアンモニアプラズマ処理により若干エッチング除去するようにした。絶縁膜11b、11dの材料として、上記MSQを用いた場合の上記水素プラズマ処理またはアンモニアプラズマ処理の少なくとも一方の処理ガスについても前記実施の形態4と同じである。これにより、前記本実施の形態4と製造工程上の同様の効果を得ることが可能となる。

【0147】(実施の形態7)本実施の形態7においては、埋込配線の上面を、その埋込配線が形成された絶縁膜の上面よりも窪ませる構造の他の一例について説明する。

【0148】図26は、本実施の形態7の半導体装置の要部拡大断面図を示している。埋込配線上部の要部拡大図のみを示した。埋込配線の全体構造および素子は前記実施の形態1で用いた図14等と同じである。

【0149】本実施の形態7においては、埋込第2層配線L2および埋込第3層配線L3のうちの主導体膜18a、18bの上面のみが絶縁膜12b、12dの上面(CMP面、絶縁膜12bと絶縁膜15bとの接触界面、絶縁膜12dと絶縁膜15dとの接触界面)よりも下方に窪んでおり、導電性バリア膜17a、17bの上面は絶縁膜12b、12dの上面とほぼ同じままとされている。すなわち、埋込第2層配線L2および埋込第3層配線L3の主導体膜18a、18bの上面と、それぞれ絶縁膜12b、12dの上面との間に小さな段差が生じており、拡散係数の高い銅からなる主導体膜18a、18bが、絶縁膜12b、12dの上面(CMP面)に接しないようにされている。

【0150】このような本実施の形態7においては、埋込第2層配線L2および埋込第3層配線L3の上部角において電界が集中する領域E1から埋込第2層配線L2および埋込第3層配線L3の銅からなる主導体膜18a、18bの上部角が遠ざけられていることにより、電界集中に起因する銅の拡散を抑制または防止することができるので、隣接埋込み配線間で生じるリーク電流を抑

制または防止でき、TDD B寿命をさらに向上させることが可能となっている。

【0151】このような本実施の形態7のような構造を形成するには、前記CMP処理後洗浄処理の後、配線キャップ用の絶縁膜15b、15dの成膜処理（還元性プラズマ処理）前に、主導体膜18a、18bが選択的にエッチングされる条件で基板1Sに対してエッチング処理を施せば良い。これ以外は、前記実施の形態1、2と同じである。

【0152】このような本実施の形態7によれば、前記実施の形態1、2の効果が得られる他に、前記実施の形態3と同様の効果を得ることが可能となる。

【0153】（実施の形態8）本実施の形態8においては、前記実施の形態7の構造においてLow-K材料からなる絶縁膜上に絶縁キャップ用の絶縁膜を設けない構造について説明する。

【0154】図27は、本実施の形態8の半導体装置の要部拡大断面図を示している。また、本実施の形態8の特徴部分以外の配線構造は図20と同じである。また、素子は前記実施の形態1で用いた図14等と同じである。

【0155】本実施の形態8は、前記実施の形態7の配線構造と前記実施の形態4の絶縁膜構造とを組み合わせたものである。すなわち、埋込第2層配線L2および埋込第3層配線L3のうちの主導体膜18a、18bの上面のみが絶縁膜11b、11dの上面（CMP面）よりも下方に窪んでいるとともに、絶縁膜15b、15c、15dが、それぞれLow-K材料からなる絶縁膜11b、11c、11dに直接接した状態で堆積されている。この場合も、上記絶縁膜11b、11dの材料は、前記実施の形態4で説明したのと同じである。このような構造とすることにより、本実施の形態8においては、前記実施の形態7の効果が得られる他に、前記実施の形態4と同様の効果を得ることが可能となる。

【0156】また、本実施の形態8においても、前記実施の形態4と同様に、絶縁膜11b、11dの上層を上記水素プラズマ処理およびアンモニアプラズマ処理により若干エッチング除去するようにした。絶縁膜11b、11dの材料として、上記MSQを用いた場合についての処理ガスについても前記実施の形態4と同じである。これにより、前記本実施の形態4と製造工程上の同様の効果を得ることが可能となる。

【0157】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0158】前記実施の形態1～8においては、キャップ膜を後処理（プラズマ処理）後に真空破壊することなく連続的に形成する場合について説明したが、後処理の後、一旦真空破壊をして、その後、キャップ膜を形成し

ても良い。真空破壊しない方が本発明の効果をより効果的に奏することができるが、後処理におけるアンモニアプラズマ処理により薄い窒化層が形成されるため、真空破壊を行い大気雰囲気暴露しても酸化層の形成を抑制できる。よって、真空破壊した場合であっても、本実施の形態の効果のある程度奏することは可能である。

【0159】また、前記実施の形態1～8においては、Low-K材料を層間絶縁膜材料として用いた場合について説明したが、これに限定されるものではなく、本発明の技術思想は、酸化シリコン膜を層間絶縁膜とする一般的な埋込配線構造にも適用できる。

【0160】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMI S回路を有する半導体装置技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）、フラッシュメモリ（EEPROM；Electric Erasable Programmable Read Only Memory）またはFRAM（Ferro electric Random Access Memory）等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置または上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置にも適用できる。本発明は、少なくとも埋込銅配線構造を有する半導体装置、半導体集積回路装置、電子回路装置、電子装置またはマイクロマシン等に適用可能である。

【0161】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0162】すなわち、銅を主配線材料とする配線の導電性バリア膜が酸化されないように配線キャップ用絶縁膜を形成することにより、導電性バリア膜の酸化に起因する銅の拡散バリア性の劣化を抑制または防止することができるので、銅を主配線材料とする配線間の絶縁破壊耐性を向上させることができ、その配線構造のTDD B寿命を向上させることが可能となる。

【図面の簡単な説明】

【図1】本実施の形態のTDD B寿命測定に使用した試料の平面図である。

【図2】図1のB-B'線の断面図である。

【図3】図1のC-C'線の断面図である。

【図4】図1の試料を用いた場合の測定の概要を示した説明図である。

【図5】本発明の一実施の形態である半導体装置の製造工程中における要部平面図である。

【図6】図5のX1-X1線の断面図である。

【図7】図6に続く半導体装置の製造工程中における図5のX1-X1線に相当する部分の断面図である。

【図8】図7に続く半導体装置の製造工程中における図

5のX1-X1線に相当する部分の断面図である。

【図9】図8に続く半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図である。

【図10】図9に続く半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図である。

【図11】図10に続く半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図を示している。

【図12】図11に続く半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図を示している。

【図13】図12の半導体装置の要部拡大断面図である。

【図14】図12および図13に続く半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図である。

【図15】本発明の一実施の形態である半導体装置の製造で用いた成膜装置の一例の説明図である。

【図16】本発明の他の実施の形態である半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図である。

【図17】図16の成膜装置の下部電極に高周波電力を印加した場合（白丸）と、印加しない場合（黒い四角）とにおける電界強度と破壊時間との関係を示すグラフ図である。

【図18】本発明のさらに他の実施の形態である半導体装置の製造工程における図5のX1-X1線に相当する部分の断面図である。

【図19】図18の要部拡大断面図である。

【図20】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図21】図20の半導体装置の要部拡大断面図である。

【図22】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図23】図22の半導体装置の要部拡大断面図である。

【図24】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図25】図22の半導体装置の要部拡大断面図である。

【図26】本発明の他の実施の形態である半導体装置の製造工程の要部拡大断面図である。

【図27】本発明の他の実施の形態である半導体装置の製造工程の要部拡大断面図である。

【図28】本発明者らが検討した埋込配線構造の一例の要部断面図である。

【図29】図28に続く半導体装置の製造工程の要部断面図である。

【図30】図29に続く半導体装置の製造工程の要部

断面図である。

【符号の説明】

1 W ウエハ
 1 S 半導体基板
 2 分離部
 3 ゲート絶縁膜
 4 ゲート電極
 5 サイドウォール
 6, 7 半導体領域
 8 絶縁膜
 9 コンタクトホール
 10 プラグ
 11 a 絶縁膜
 11 b 絶縁膜（第7絶縁膜）
 11 c 絶縁膜（第7絶縁膜）
 11 d 絶縁膜（第7絶縁膜）
 12 a 絶縁膜
 12 b 絶縁膜（第8絶縁膜）
 12 c 絶縁膜（第8絶縁膜）
 12 d 絶縁膜（第8絶縁膜）
 13 スルーホール
 14 プラグ
 15 a 絶縁膜（第1絶縁膜）
 15 b 絶縁膜（第2絶縁膜および第3絶縁膜、第4絶縁膜）
 15 b 1 絶縁膜（第2絶縁膜、第5絶縁膜）
 15 b 2 絶縁膜（第3絶縁膜、第6絶縁膜）
 15 c 絶縁膜（第1絶縁膜）
 15 d 絶縁膜（第2絶縁膜および第3絶縁膜、第4絶縁膜）
 15 d 1 絶縁膜（第2絶縁膜、第5絶縁膜）
 15 d 2 絶縁膜（第3絶縁膜、第6絶縁膜）
 16 a 配線溝（配線開口部）
 16 b 配線溝（配線開口部）
 17 a 導電性バリア膜（第1導体膜）
 17 b 導電性バリア膜（第1導体膜）
 18 a 主導体膜（第2導体膜）
 18 b 主導体膜（第2導体膜）
 19 スルーホール（配線開口部）
 20 成膜装置
 50～55 絶縁膜
 57 埋込配線
 57 a 主導体膜
 57 b 導電性バリア膜
 58 露出部分
 59 絶縁膜
 L 櫛形配線
 M2 第2配線層
 P1, P2 パッド
 S 測定ステージ

H ヒータ

Qp pチャネル型のMIS・FET

Qn nチャネル型のMIS・FET

PWL p型ウエル

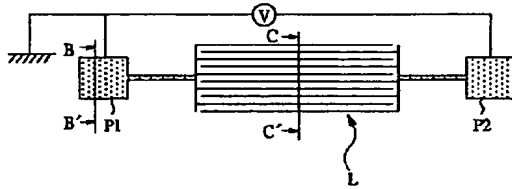
NWL n型ウエル

LF 下部電極 (第1電極)

HF 上部電極 (第2電極)

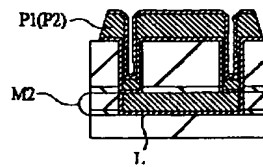
【図1】

図 1



【図2】

図 2



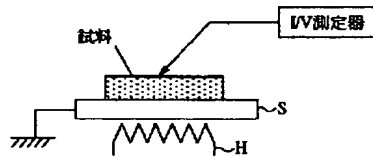
【図3】

図 3



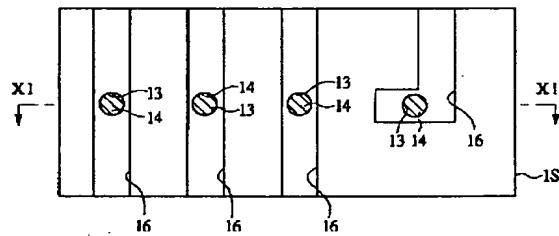
【図4】

図 4



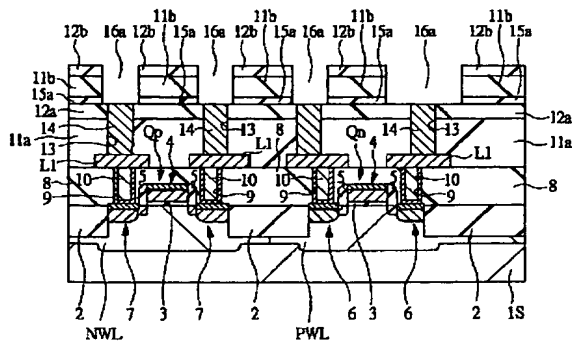
【図5】

図 5



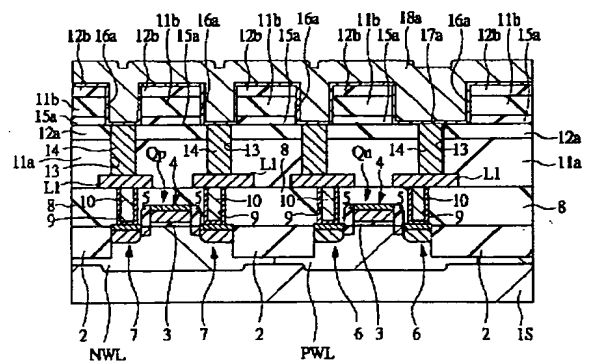
【図6】

図 6



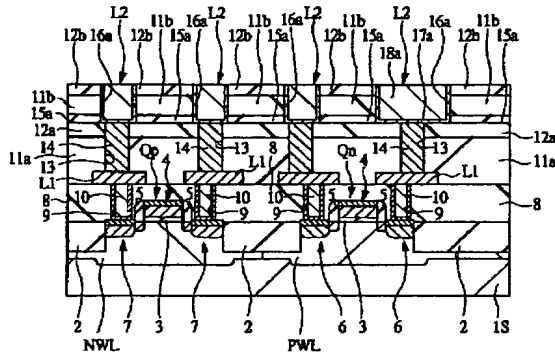
【図7】

図 7



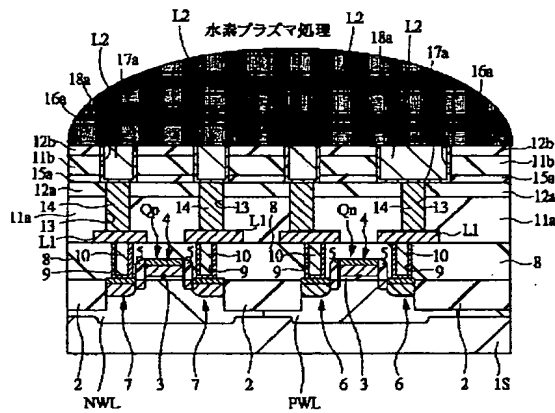
【図8】

図 8



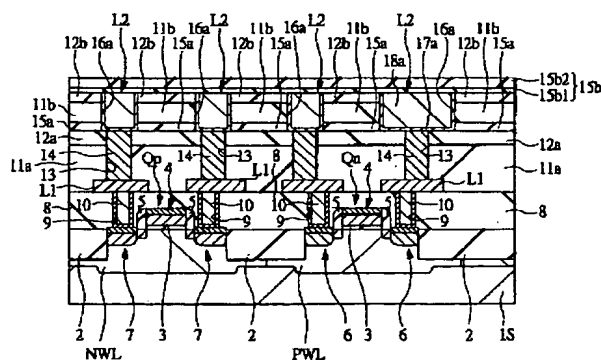
【図10】

図 10



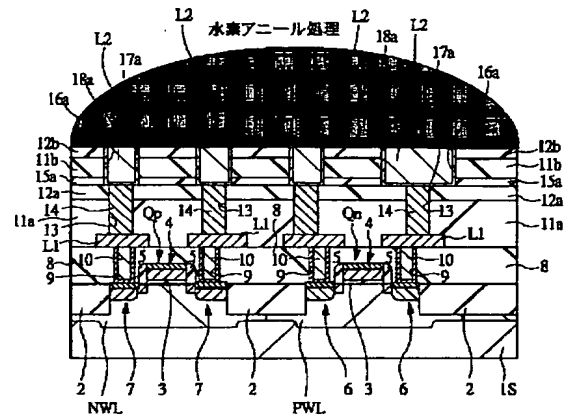
【図12】

図 12



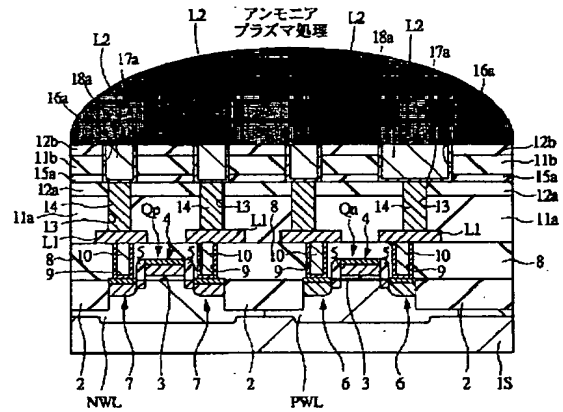
【図9】

図 9



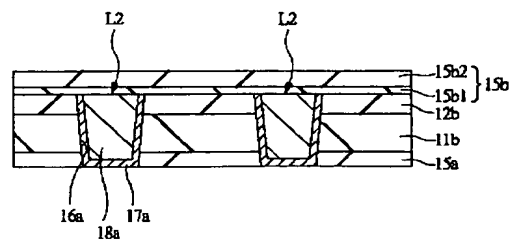
【図11】

図 11



【図13】

図 13

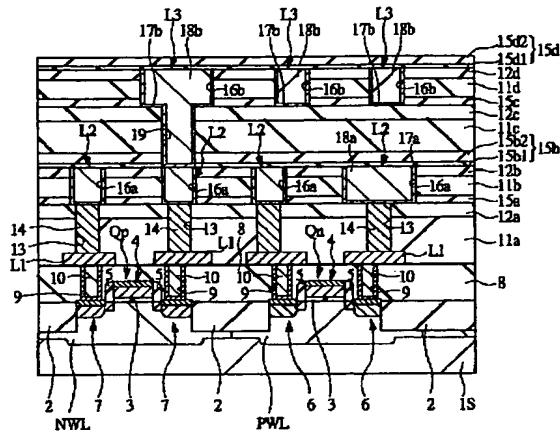


15b: 絶縁膜
15b1: 絶縁膜
15b2: 絶縁膜

17a: 導電性バリア膜
18a: 主導体膜
L2: 埋込第2層配線

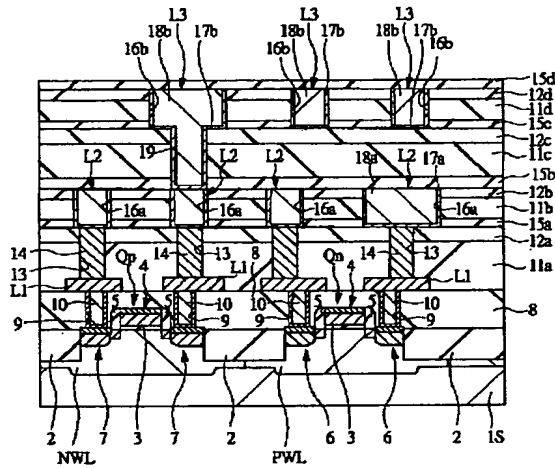
【図 14】

図 14



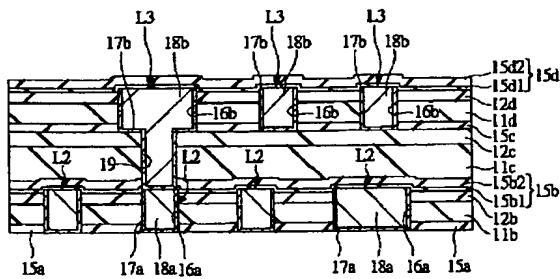
【図 16】

図 16



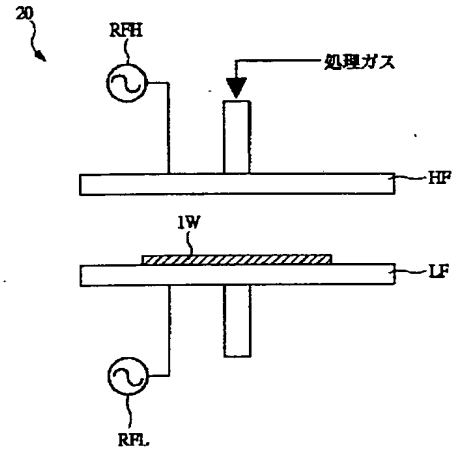
【図 18】

図 18



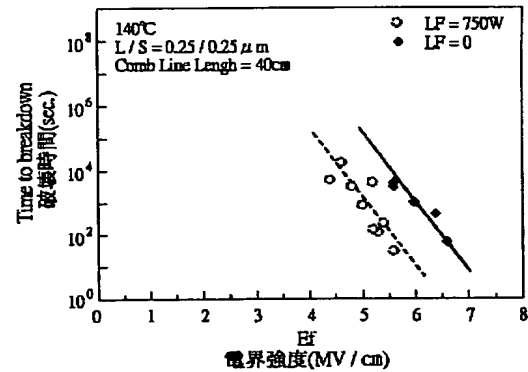
【図 15】

図 15



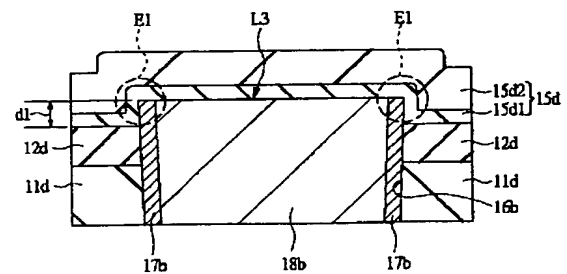
【図 17】

図 17



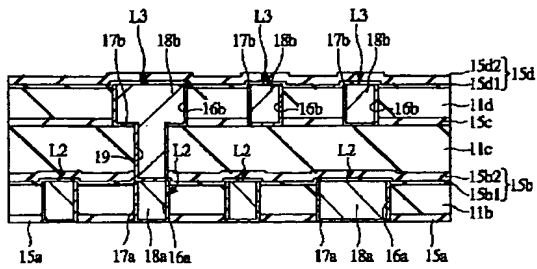
【図 19】

図 19



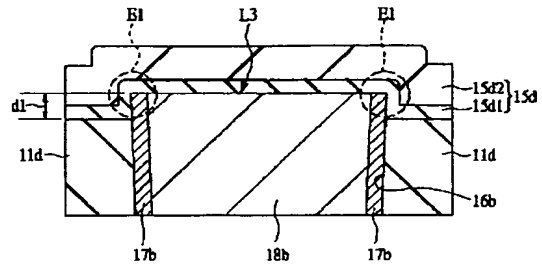
【図 20】

図 20



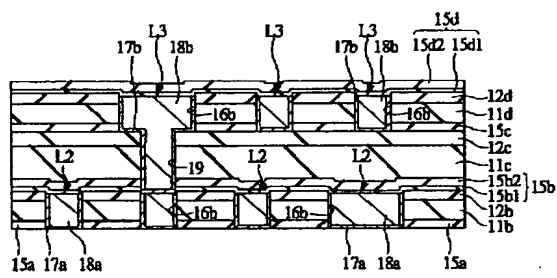
【図 21】

図 21



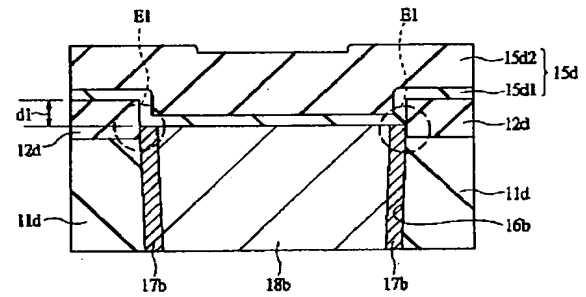
【図 22】

図 22



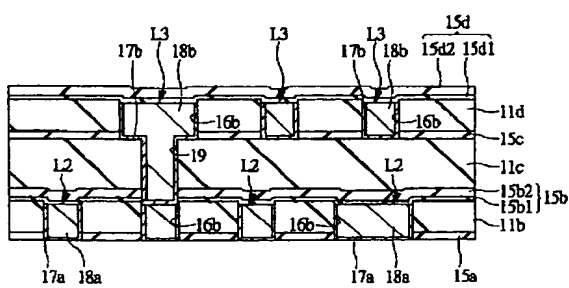
【図 23】

図 23



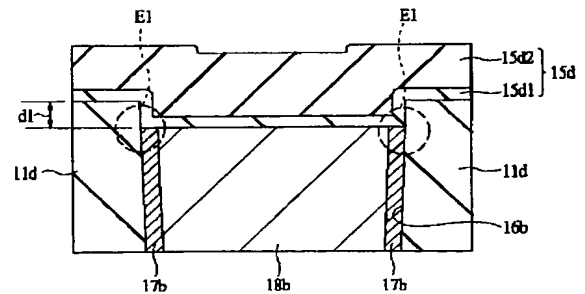
【図 24】

図 24



【図 25】

図 25



21/8238

M

27/092

27/08

3 2 1 F

(72)発明者 濱田 直秀

東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内

F ターム(参考) 4M104 AA01 BB01 BB20 BB25 BB30
CC01 CC05 DD19 FF18 FF22
GG09 GG10 GG14 GG16 HH05
5F033 HH04 HH08 HH11 HH18 HH19
HH21 HH23 HH25 HH27 HH32
HH33 HH34 JJ01 JJ11 JJ18
JJ19 JJ21 JJ23 JJ32 JJ33
JJ34 KK01 KK08 KK11 KK19
KK25 KK27 MM01 MM02 MM05
MM07 MM12 MM13 NN06 NN07
PP06 PP15 PP21 PP22 PP27
PP28 QQ11 QQ25 QQ31 QQ37
QQ48 QQ73 QQ75 QQ94 QQ96
QQ98 RR01 RR04 RR06 RR08
RR09 RR11 RR15 RR21 RR29
SS01 SS02 SS03 SS04 SS11
SS15 SS21 XX20 XX28
5F048 AA07 AC03 BB05 BB08 BB09
BB11 BF01 BF06 BF07 BF12
BF15 BF16 BG14 DA25
5F058 AA10 AC10 AF02 AH02 BA01
BD01 BE03 BE10 BF07 BF23
BF25 BF26 BJ02